

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Tomohiko KOTO

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: January 5, 2004

Attorney Dkt. No.: 108075-00121

For: INPUT CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: January 5, 2004

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Foreign Application No. 2003-000552, filed January 6, 2003, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,


Charles M. Marmelstein
Registration No. 25,895

21931

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM:cam

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月 6日
Date of Application:

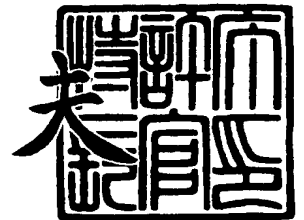
出願番号 特願2003-000552
Application Number:
[ST. 10/C]: [JP 2003-000552]

出願人 富士通株式会社
Applicant(s):

2003年10月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3082339



【書類名】 特許願

【整理番号】 0241227

【提出日】 平成15年 1月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/00

【発明の名称】 入力回路

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 古藤 友彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入力回路

【特許請求の範囲】

【請求項 1】 第 1 電源と、絶対値で該第 1 電源より小さい値の第 2 電源の供給に基づいて、第 1 機能ブロック入力信号の電位差を増幅して第 2 機能ブロック入力信号を生成する第 1 の差動増幅回路を含む第 1 機能ブロックと、

前記第 1 電源と前記第 2 電源の供給に基づいて、前記第 2 機能ブロック入力信号の電圧レベルをシフトして第 3 機能ブロック入力信号を生成するレベルシフト回路を含む第 2 機能ブロックと、

第 3 電源と、絶対値で該第 3 電源より小さい値の第 4 電源の供給に基づいて、前記第 3 機能ブロック入力信号の電位差を増幅して出力する第 2 の差動増幅回路を含む第 3 機能ブロックとを備える入力回路であって、

前記第 1 電源と前記第 1 の差動増幅回路との間に直列に接続され、活性状態と待機状態とを切り替える第 1 の電流制御手段と、

前記待機状態への切り替え時に、前記第 3 機能ブロック入力信号の電圧レベルが前記第 3 電源と前記第 4 電源の間の電圧レベルとなるように、前記レベルシフト回路の出力端子の電圧を放電又は充電させる手段とを備えることを特徴とする入力回路。

【請求項 2】 前記第 1 電源と前記第 2 電源の電位差の絶対値は、前記第 3 電源と前記第 4 電源の電位差の絶対値よりも大きいことを特徴とする請求項 1 記載の入力回路。

【請求項 3】 前記第 2 電源及び前記第 4 電源はそれぞれ接地電源であり、前記待機状態への切り替え時に、前記レベルシフト回路の出力端子の電圧を前記第 2 電源に放電又は充電させることを特徴とする請求項 1 又は 2 記載の入力回路。

【請求項 4】 前記待機状態への切り替え時に、前記第 1 の差動増幅回路の出力端子の電圧を前記第 2 電源に放電又は充電させる手段を備えていることを特徴とする請求項 3 記載の入力回路。

【請求項 5】 前記第 1 の電流制御手段は、

前記待機状態への切り替え時に、前記第 1 の差動増幅回路への前記第 1 電源の供給を遮断する電流制御信号がゲートに供給されるトランジスタで構成されることを特徴とする請求項 1 乃至 4 の何れか一項記載の入力回路。

【請求項 6】 前記第 1 の差動増幅回路は、

前記第 1 の電流制御手段と異なる導電型のトランジスタで構成され、ゲートに前記第 1 機能ブロック入力信号が差動入力される一対のトランジスタと、

前記一対のトランジスタと前記第 1 の電流制御手段との間に接続される第 1 の負荷回路と、

前記一対のトランジスタと同一導電型のトランジスタで構成され、前記一対のトランジスタと前記第 2 電源との間に接続される第 1 の電流源とを備え、

前記第 1 の電流源を構成するトランジスタのゲートには該トランジスタを常時オン状態にする電圧が供給されることを特徴とする請求項 1 乃至 5 の何れか一項記載の入力回路。

【請求項 7】 前記第 1 の差動増幅回路は、

前記第 1 の電流制御手段と同一導電型のトランジスタで構成され、ゲートに前記第 1 機能ブロック入力信号が差動入力される一対のトランジスタと、

前記一対のトランジスタと前記第 2 電源との間に接続される第 1 の負荷回路とを備えることを特徴とする請求項 1 乃至 5 の何れか一項記載の入力回路。

【請求項 8】 前記レベルシフト回路は、

ドレインが前記第 1 電源に接続され、ゲートに前記第 2 機能ブロック入力信号が入力されるレベルシフト用トランジスタと、

前記レベルシフト用トランジスタと同一導電型のトランジスタで構成され、前記レベルシフト用トランジスタと前記第 2 電源との間に接続される第 2 の電流源とを備え、

前記第 2 の電流源を構成するトランジスタのゲートには該トランジスタを常時オン状態にする電圧が供給されることを特徴とする請求項 1 乃至 7 の何れか一項記載の入力回路。

【請求項 9】 前記レベルシフト用トランジスタと前記第 2 の電流源との間には、レベルシフト量を調整する第 2 の負荷回路が設けられることを特徴とする

請求項 8 記載の入力回路。

【請求項 10】 前記第 1 の差動増幅回路と前記レベルシフト回路の接続点には、前記第 1 機能ブロック入力信号の供給が遮断されるときに、前記第 1 の差動増幅回路の出力端子の電圧を前記第 2 電源に充電又は放電させる第 3 の電流制御手段が接続されることを特徴とする請求項 1 乃至 9 の何れか一項記載の入力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力回路に関するものである。

一般に半導体集積回路装置の入力回路には、外部インターフェースに対応する外部電源と内部回路に対応する内部電源の 2 系統の電源電圧で動作し、外部から入力される信号電圧レベルを内部電源に適応した信号電圧レベルにシフトするレベルシフト機能が備えられている。このような入力回路では、近年の低消費電力化及び高速化の要求に応えるべく、待機状態には消費電流を削減するとともに、活性状態／待機状態の切り替えを高速に行うことが求められている。

【0002】

【従来の技術】

従来、入力回路として、例えば以下に記述する構成がある。

図 21 は、第 1 の従来例の入力回路を示す回路図である（特許文献 1；図 11 参照）。

【0003】

この入力回路 150 は、第 1～第 3 機能ブロックからなり、第 1 機能ブロックは第 1 の差動増幅回路 151、第 2 機能ブロックはレベルシフト回路 152、第 3 機能ブロックは第 2 の差動増幅回路 153 によって構成されている。

【0004】

第 1 の差動増幅回路 151 及びレベルシフト回路 152 は第 1 電源 V1 と第 2 電源 V2 の間に接続され、第 2 の差動増幅回路 153 は第 3 電源 V3 と第 4 電源 V4 の間に接続されている。

【0005】

この場合、第2及び第4電源V2、V4は例えば接地電源、第1電源V1は外部電源に対応する電源、第3電源V3は内部電源に対応する電源に設定され、第3電源V3は第1電源V1よりも低電位の電源に設定されている。

【0006】

第1の差動増幅回路151は、第1電源V1に並列に接続される抵抗154a、154bと、外部入力信号である第1及び第2入力信号INA、INBがそれぞれゲートに入力されるnMOSTr155、156と、定電流源157とから構成され、第1及び第2入力信号INA、INBの電位差を増幅して出力する。

【0007】

ここで、第1及び第2入力信号INA、INBは、互いに相補な信号又は一方の信号の電圧振幅に対して他方の信号が中間電位（定電圧）となるように生成される差動信号である。

【0008】

レベルシフト回路152は、nMOSTr158と定電流源159とから構成され、nMOSTr158のゲートに入力される第1の差動増幅回路151の出力電圧レベルを第3電源V3（内部電源）に適応した電圧レベルにシフトして出力する。

【0009】

第2の差動増幅回路153には、レベルシフト回路152の出力信号が差動入力される。ここでは、例えばプラス入力端子にレベルシフト回路152の出力信号が入力され、その入力信号の電圧振幅に対して中間電位となる定電圧信号がマイナス入力端子に入力される。そして、第2の差動増幅回路153は、各入力信号の電位差を増幅して出力する。

【0010】

図22は、上記のように構成される入力回路150の活性状態を示す動作波形図である。

ここでは、例えば、第1電源V1が2.5V、第2電源V2が0.0V、第3電源V3が1.2V、第4電源V4が0.0V、第1の差動増幅回路151に入

力される外部入力信号（図中、第1機能ブロック入力信号 I N 1）の電圧レベルを $2.2\text{ V} / 1.8\text{ V}$ としている。

【0011】

第1の差動増幅回路 151 は、第1機能ブロック入力信号 I N 1 の電位差（ 0.4 V ）を増幅して第2機能ブロック入力信号 I N 2 を生成する。この第2機能ブロック入力信号 I N 2 の電圧レベルは、第1の差動増幅回路 151 の構成や素子の能力、温度条件、プロセス条件等により変動するが、およそ $0.5\text{ V} \sim 2.5\text{ V}$ 程度に分布する。

【0012】

レベルシフト回路 152 は、第2機能ブロック入力信号 I N 2 の電圧レベルを第3電源 V 3 に適応した $0.0\text{ V} \sim 1.2\text{ V}$ に分布する電圧レベルにシフトして第3機能ブロック入力信号 I N 3 を生成する。

【0013】

上記のように、入力回路 150 では、第1の差動増幅回路 151 と第2の差動増幅回路 153 との間にレベルシフト回路 152 を設けることで、第2の差動増幅回路 153 に第3電源 V 3（ 1.2 V ）以上の電圧が印加されないようにしている。

【0014】

これは、一般に、第3電源 V 3（内部電源）で動作する第2の差動増幅回路 153 は、第1電源 V 1（外部電源）で動作する第1の差動増幅回路 151 及びレベルシフト回路 152 とトランジスタの構造が異なるためである。

【0015】

例えば、第2の差動増幅回路 153 を構成するトランジスタは、第1の差動増幅回路 151 及びレベルシフト回路 152 を構成するトランジスタよりもゲート酸化膜厚が薄い。換言すれば、第2の差動増幅回路 153 の素子耐圧（具体的にはゲート耐圧）は、第1の差動増幅回路 151 及びレベルシフト回路 152 のそれよりも低く設計されている。

【0016】

このため、第2の差動増幅回路 153 にトランジスタのゲート耐圧を超える高

電圧（この場合、第1電源V1）が印加されると素子が損傷を受けて、入力回路150の誤動作の原因となる。これは、信頼性を低下させることになる。

【0017】

特に近年は、製造プロセス技術の進化によって、内部回路を構成するトランジスタの微細化が進み、それに伴い内部電源（＝第3電源V3）の低電圧化が急速に進行してきている。一方、外部電源（＝第1電源V1）は、外部インターフェース等の外的要因に依存して低電圧化されるためにその進行は遅い。

【0018】

その結果、第1電源V1と第3電源V3との電位差はますます大きくなってきており、入力回路150においては、第1の差動増幅回路151の出力電圧レベルを低電圧の第3電源V3に対応した第2の差動増幅回路153で受信できる適正な範囲の電圧レベルにまで確実にシフトさせる必要がある。

【0019】

【特許文献1】

特開2000-183723号公報

【0020】

【発明が解決しようとする課題】

ところで、上記のような入力回路150では、活性状態のみならず、待機状態或いは活性／待機状態の切り替え時の如何なる場合においても、第2の差動増幅回路153（第3機能ブロック）にそのトランジスタのゲート耐圧を超える高電圧が印加されることがないように配慮する必要がある。なお、待機状態は、例えば入力回路150の定電流源157、159を遮断して、入力回路150の消費電流を削減する機能である。

【0021】

図23は、第1の従来例（入力回路150）の活性／待機状態の切り替え時を示す動作波形図である。尚、第1～第4電源V1～V4及び第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルは図22と同様である。

【0022】

今、時刻t1で定電流源157、159が遮断（電流値「0」に制御）され、

待機状態に移行すると、第2機能ブロック入力信号 $IN2$ の電圧レベル（第1の差動増幅回路 151 の出力電圧）は第1電源 $V1$ （2.5V）付近まで引き上げられる。

【0023】

すると、レベルシフト回路 152 の $nMOSTr158$ がオンされ、第3機能ブロック入力信号 $IN3$ の電圧レベル（レベルシフト回路 152 の出力電圧）も同様に第1電源 $V1$ （2.5V）付近まで引き上げられる。

【0024】

従って、第1の従来例の構成では、活性／待機状態の切り替え時に、第2の差動増幅回路 153 に第3電源 $V3$ （1.2V）を超える（すなわちゲート耐圧を超える）電圧が印加されてしまうという問題があった。

【0025】

そこで、この問題を解決する手段として、例えば以下のような構成がある。

図24は、第2の従来例の入力回路を示す回路図である。

この入力回路 160 は、第1の従来例（入力回路 150）の第1の差動増幅回路 151 の構成を変更したものであり、その他は同様な構成である。

【0026】

同図に示すように、第1の差動増幅回路 161 は、第1及び第2入力信号 INA 、 INB がそれぞれゲートに入力される $pMOSTr162$ 、 163 と、カレントミラー回路を構成する $nMOSTr164$ 、 165 と、定電流源 166 とから構成されている。定電流源 166 は、その一端が第1電源 $V1$ に接続され、他端が $pMOSTr162$ 、 163 のソースに接続されている。

【0027】

第1の差動増幅回路 161 は、前記と同様、第1及び第2入力信号 INA 、 INB の電位差を増幅した信号を出力するようになっている。ちなみに、この第1の差動増幅回路 161 は、接地電位付近の入力信号レベルを増幅する場合に適している。

【0028】

図25は、第2の従来例（入力回路 160）の活性／待機状態の切り替え時を

示す動作波形図である。

ここでは、第1～第4電源V1～V4の電圧を図23と同様とし、第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルを1.7V/1.3Vとしている。

【0029】

今、時刻t1で定電流源166、159が遮断され、待機状態に移行すると、第2機能ブロック入力信号IN2の電圧レベル（第1の差動増幅回路161の出力電圧）は第2電源V2（接地電位0.0V）付近まで引き下げられ、それを受けてレベルシフト回路152のnMOSTr158はオフに制御される。

【0030】

しかしながら、このnMOSTr158のゲート電位は、該nMOSTr158を直ちにオフする閾値以下とはならず、それがオフされる時間は、第1の差動増幅回路161の出力電圧レベル（pMOSTr163とnMOSTr165の接続点の電圧）が接地電位に放電される時間に依存する。

【0031】

このため、過渡状態において、定電流源159が遮断された後、nMOSTr158がオフする時間 ΔT の間で、第3機能ブロック入力信号IN3の電圧レベル（レベルシフト回路152の出力電圧）が一時的に第1電源V1（2.5V）付近にまで引き上げられる。

【0032】

その結果、第2の差動増幅回路153には、第1の従来例と同様に、第3電源V3（1.2V）を超える（すなわちゲート耐圧を超える）電圧が印加されてしまう。

【0033】

こうしたケースを回避する方法の一つとして、例えば第2機能ブロックの定電流源159が遮断される（電流値が「0」になる）時間を変更するタイミング設計が考えられる。この場合には、図25においてnMOSTr158がオフする時間 ΔT が0以下となるようにタイミング設計を実施し、定電流源159の電流値が「0」になる時間を意図的に遅延させることで、第2の差動増幅回路153

にゲート耐圧を超える電圧が印加されるのを防止することができる。

【0034】

しかしながら、このようなタイミング設計は、結果として活性状態から待機状態に移行する速度を低下させるだけでなく、その後、再び待機状態から活性状態に復帰する際の速度も低下させてしまう。このことは、高速動作を実現する上で好ましくない。従って、第2の従来例の構成では、第1の従来例が抱える問題を解決することができなかった。

【0035】

ちなみに、こうした第1及び第2の従来例が抱える問題は、供給電源が負電位の電源である場合にも同様に生じており、以下にその一例について説明する。

図26は、第3の従来例の入力回路を示す回路図である。

【0036】

この入力回路170には、第1～第4電源V11～V14が供給される。

ここでは、例えば、第1及び第3電源V11、V13が負電位の電源、第2及び第4電源V12、V14が接地電源に設定されている。尚、第3電源V13は第1電源V11よりも低電位（この場合は絶対値が低電位）に設定される電源である（ $| \text{第1電源} - \text{第2電源} | > | \text{第3電源} - \text{第4電源} |$ ）。

【0037】

同図に示すように、入力回路170には、前記と同様、第1の差動増幅回路171と、レベルシフト回路172と、第2の差動増幅回路173とが備えられている。

【0038】

第1の差動増幅回路171は、第1の従来例と同様、抵抗素子174、175と、第1及び第2入力信号INA、INBがそれぞれゲートに入力されるnMOSTr176、177と、定電流源178（nMOSTr）とから構成されている。

【0039】

各抵抗素子174、175の一端は第2電源V12（接地電源）に接続され、他端はnMOSTr176、177のドレインにそれぞれ接続されている。nM

OSTr176, 177のソースは、定電流源178を介して第1電源V11（負電源）に接続されている。そして、定電流源178を構成するnMOSTrのゲートには、そのトランジスタのオン／オフを制御する電流制御信号S1が入力される。

【0040】

レベルシフト回路172は、pMOSTr179と定電流源180（pMOSTr）とから構成されている。pMOSTr179のゲートには、第1の差動増幅回路171の出力電圧が入力され、定電流源180を構成するpMOSTrのゲートには、そのトランジスタのオン／オフを制御する電流制御信号バーS1（但し、各信号S1, バーS1は互いに相補な信号）が入力される。

【0041】

図27は、第3の従来例（入力回路170）の活性／待機状態の切り替え時を示す動作波形図である。

ここでは、例えば、第1電源V11が-3.3V, 第2電源V12が0.0V, 第3電源V13が-1.2V, 第4電源V14が0.0V、外部入力信号（図中、第1機能ブロック入力信号IN1）の電圧レベルを-2.0V／-2.4Vとする。

【0042】

今、時刻t1で、Lレベルの電流制御信号S1（Hレベルの電流制御信号バーS1）によって定電流源178, 180が遮断され、待機状態に移行すると、第2機能ブロック入力信号IN2の電圧レベル（第1の差動増幅回路171の出力電圧）は第2電源V12（接地電位0.0V）付近まで引き上げられる。従って、レベルシフト回路172のpMOSTr179はオフに制御される。

【0043】

しかしながら、この場合も過渡状態において、定電流源180（pMOSTr）が遮断された後、pMOSTr179がオフする時間 ΔT の間で、第3機能ブロック入力信号IN3の電圧レベル（レベルシフト回路172の出力電圧）が一時的に第1電源V11（-3.3V）付近にまで引き下げられる。

【0044】

その結果、第2の差動増幅回路173には、第3電源V13（-1.2V）を超える（すなわちゲート耐圧を超える）高電圧（この場合は絶対値）が印加されてしまう。

【0045】

第2の従来例と同様、これを回避する手段として、図27においてpMOSTr179がオフする時間 ΔT が0以下となるようにタイミング設計を実施し、定電流源180を構成するpMOSTrがオフする時間を意図的に遅延させる方法がある。しかし、この方法では、上記で説明したように、高速化の要求に応えることができない。

【0046】

本発明は、上記のような問題点を解決するためになされたものであって、その目的は、活性状態／待機状態或いはその切り替え時に素子耐圧を超える高電圧が印加されるのを防止し、且つ、活性状態／待機状態を高速に切り替え可能な入力回路を提供することにある。

【0047】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、第1電源と絶対値で該第1電源より小さい値の第2電源の供給に基づいて、第1機能ブロック入力信号の電位差を増幅して第2機能ブロック入力信号を生成する第1の差動増幅回路を含む第1機能ブロックと、前記第1電源と前記第2電源の供給に基づいて、前記第2機能ブロック入力信号の電圧レベルをシフトして第3機能ブロック入力信号を生成するレベルシフト回路を含む第2機能ブロックと、第3電源と絶対値で該第3電源より小さい値の第4電源の供給に基づいて、前記第3機能ブロック入力信号の電位差を増幅して出力する第2の差動増幅回路を含む第3機能ブロックとを備える入力回路であって、前記第1電源と前記第1の差動増幅回路との間に直列に接続され、活性状態と待機状態とを切り替える第1の電流制御手段と、前記待機状態への切り替え時に前記第3機能ブロック入力信号の電圧レベルが前記第3電源と前記第4電源の間の電圧レベルとなるように、前記レベルシフト回路の出力端子の電圧を放電又は充電させる手段とを備えている。この構成によっ

て、第3機能ブロック入力信号の電圧レベルは第3電源と第4電源の間の電圧レベルに速やかに引き上げられる又は引き下げられる。よって、第2の差動増幅回路に素子耐圧を超える高電圧（或いは絶対値が高電圧）が印加されることは防止され、信頼性を向上させることができる。

【0048】

請求項2に記載の発明によれば、前記第1電源と前記第2電源の電位差の絶対値が前記第3電源と前記第4電源の電位差の絶対値よりも大きく設定される入力回路において、該入力回路に供給される電源が正電源あるいは負電源のいずれの場合であっても、第3機能ブロック入力信号の電圧レベルを第3電源と第4電源の間の電圧レベルに速やかに引き上げる又は引き下げることができる。

【0049】

請求項3に記載の発明によれば、前記第2電源及び前記第4電源はそれぞれ接地電源であり、前記待機状態への切り替え時に、前記レベルシフト回路の出力端子の電圧は前記第2電源に放電又は充電される。

【0050】

請求項4に記載の発明によれば、前記待機状態への切り替え時に、前記第1の差動増幅回路の出力端子の電圧は前記第2電源に放電又は充電される。よって、待機状態への切り替え時に、前記第2機能ブロック入力信号IN2の電圧レベルは前記第2電源付近に速やかに引き上げられる又は引き下げられる。

【0051】

請求項5に記載の発明によれば、前記第1の電流制御手段は、前記待機状態への切り替え時に、前記第1の差動増幅回路への前記第1電源の供給を遮断する電流制御信号がゲートに供給されるトランジスタで構成されている。この構成によって、待機状態での第1の差動増幅回路の消費電流を削減できる。

【0052】

請求項6に記載の発明によれば、前記第1の差動増幅回路は、前記第1の電流制御手段と異なる導電型のトランジスタで構成され、ゲートに前記第1機能ブロック入力信号が差動入力される一対のトランジスタと、前記一対のトランジスタと前記第1の電流制御手段との間に接続される第1の負荷回路と、前記一対のト

ランジスタと同一導電型のトランジスタで構成され、前記一対のトランジスタと前記第2電源との間に接続される第1の電流源とを備え、前記第1の電流源を構成するトランジスタのゲートには該トランジスタを常時オン状態にする電圧が供給される。従って、待機状態への切り替え時に、第1の差動増幅回路の出力端子の電圧は、第1の電流源を介して第2電源に放電又は充電される。

【0053】

請求項7に記載の発明によれば、前記第1の差動増幅回路は、前記第1の電流制御手段と同一導電型のトランジスタで構成され、ゲートに前記第1機能ブロック入力信号が差動入力される一対のトランジスタと、前記一対のトランジスタと前記第2電源との間に接続される第1の負荷回路とを備える。この構成では、待機状態における第1の差動増幅回路の電流源が第1の電流制御手段によって共用される。

【0054】

請求項8に記載の発明によれば、前記レベルシフト回路は、ドレインが前記第1電源に接続され、ゲートに前記第2機能ブロック入力信号が入力されるレベルシフト用トランジスタと、前記レベルシフト用トランジスタと同一導電型のトランジスタで構成され、前記レベルシフト用トランジスタと前記第2電源との間に接続される第2の電流源とを備え、前記第2の電流源を構成するトランジスタのゲートには該トランジスタを常時オン状態にする電圧が供給される。従って、待機状態への切り替え時に、レベルシフト回路の出力端子の電圧は、第2の電流源を介して第2電源に放電又は充電される。

【0055】

請求項9に記載の発明によれば、前記レベルシフト用トランジスタと前記第2の電流源との間には、レベルシフト量を調整する第2の負荷回路が設けられる。この構成によって、レベルシフト回路から出力される第3機能ブロック入力信号の電圧レベルが第2の差動増幅回路の素子耐圧を超える高電圧（或いは絶対値が高電圧）となることは確実に防止される。

【0056】

請求項10に記載の発明によれば、前記第1の差動増幅回路と前記レベルシフ

ト回路の接続点には、前記第1機能ブロック入力信号の供給が遮断されるときに、前記第1の差動増幅回路の出力端子の電圧を前記第2電源に充電又は放電させる第3の電流制御手段が接続される。この構成によって、第1機能ブロック入力信号の電圧レベルに依らずに、第1の差動増幅回路から出力される第2機能ブロック入力信号の電圧レベルを第2電源付近まで速やかに下降又は上昇させることができる。

【0057】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図1～図3に従って説明する。

【0058】

図1は、本実施形態の入力回路の原理回路図である。

入力回路10には、第1～第4電源V1～V4が供給される。

ここで、本実施形態では、第2及び第4電源V2、V4が例えば接地電源に設定され、第1及び第3電源V1、V3が正電位の電源に設定される場合を想定して説明する。尚、第1電源V1は外部電源に対応する電源、第3電源V3は内部電源に対応する電源であって、第3電源V3は第1電源V1よりも低電位に設定される電源である。

【0059】

この入力回路10は、第1～第3機能ブロック11～13からなる。第1及び第2機能ブロック11、12は、第1電源V1と第2電源V2の間に接続され、第3機能ブロック13は、第3電源V3と第4電源V4の間に接続されている。

【0060】

第1機能ブロック11には、第1の電流制御手段としてのpチャネル型MOSトランジスタ（以下、pMOSTr）14と第1の差動増幅回路15とが備えられている。第1の差動増幅回路15は、差動入力される外部入力信号としての第1機能ブロック入力信号IN1の電位差を増幅して第2機能ブロック入力信号IN2を生成する。

【0061】

第2機能ブロック12には、レベルシフト回路16が備えられている。レベルシフト回路16は、前記第2機能ブロック入力信号IN2の電圧レベルを、内部電源に対応した第3電源V3に適応する電圧レベルにシフトして第3機能ブロック入力信号IN3を生成する。

【0062】

第3機能ブロック13には、第2の差動増幅回路17が備えられている。第2の差動増幅回路17は、差動入力される前記第3機能ブロック入力信号IN3の電位差を増幅して生成した信号を内部回路に供給する。

【0063】

図2は、入力回路10の具体的構成を示す回路図である。

第1の差動増幅回路15は、第1の負荷回路としてのカレントミラー回路を構成するpMOSTr21, 22と、各pMOSTr21, 22にそれぞれ直列に接続されるnチャネル型MOSトランジスタ（以下、nMOSTr）23, 24と、第1の電流源としてのnMOSTr25とから構成されている。

【0064】

前記pMOSTr14（第1の電流制御手段）のソースは第1電源V1に接続され、そのドレインは前記カレントミラー回路を構成するpMOSTr21, 22のソースに接続されている。pMOSTr14のゲートには、該pMOSTr14のオン／オフを制御する電流制御信号S1が供給される。

【0065】

pMOSTr21, 22のゲートは、互いに接続されるとともに、pMOSTr21のドレインと接続されている。また、pMOSTr21, 22のドレインは、前記nMOSTr23, 24のドレインとそれぞれ接続されている。

【0066】

nMOSTr23, 24のソースは前記nMOSTr25のドレインと接続され、該nMOSTr25のソースは第2電源V2に接続されている。そのnMOSTr25のゲートには、該nMOSTr25をオンすることのできる閾値以上の電圧である第1電源V1が供給される。

【0067】

そして、nMOSTr23, 24のゲートには、前記第1機能ブロック入力信号IN1（外部入力信号）として与えられる第1及び第2入力信号INA, INBが入力される。尚、第1及び第2入力信号INA, INBは、本実施形態では互いに相補（逆相）な信号である。

【0068】

このように構成される第1の差動増幅回路15は、電流制御信号S1によってpMOSTr14がオンされるとき、第1及び第2入力信号INA, INBの電位差を増幅して第2機能ブロック入力信号IN2を生成する。

【0069】

レベルシフト回路16は、レベルシフト用トランジスタとしてのnMOSTr26と、第2の電流源としてのnMOSTr27とから構成されている。

nMOSTr26のドレインは第1電源V1に接続され、そのゲートには前記第2機能ブロック入力信号IN2が入力される。nMOSTr26のソースはnMOSTr27のドレインに接続され、該nMOSTr27のソースは第2電源V2に接続されている。そのnMOSTr27のゲートには、該nMOSTr27をオンすることのできる閾値以上の電圧である第1電源V1が供給される。

【0070】

このように構成されるレベルシフト回路16は、前記第2機能ブロック入力信号IN2の電圧レベルを第3電源V3と第4電源V4（接地電源）の範囲に分布する電圧レベルにシフトして第3機能ブロック入力信号IN3を生成する。換言すれば、レベルシフト回路16を構成するnMOSTr26, 27は、第2機能ブロック入力信号IN2の電圧レベルを第3電源V3に適応する電圧レベルにシフトすることのできる駆動能力に設計されている。

【0071】

第2の差動増幅回路17は、前記第1の差動増幅回路15と同様に構成され、差動入力される前記第3機能ブロック入力信号IN3の電位差を増幅して内部回路に出力する。尚、本実施形態では、第2の差動増幅回路17のプラス入力端子にレベルシフト回路16の出力信号が入力され、マイナス入力端子にその出力信号の電圧振幅に対し中間電位となる定電圧信号が入力されるようになっている。

【0072】

ここで、上記したように、第2の差動増幅回路17には、第1電源V1よりも低電圧に設定される第3電源V3が供給される。このため、第2の差動増幅回路17は、第1の差動増幅回路15やレベルシフト回路16に比べてそれらを構成するトランジスタのゲート酸化膜が薄く形成されている。

【0073】

すなわち、第2の差動増幅回路17を構成するトランジスタは、第3電源V3の電圧値に対応するゲート酸化膜厚で形成され、それらのゲート耐圧（素子耐圧）は第1の差動増幅回路15やレベルシフト回路16を構成するトランジスタのゲート耐圧に比べて低い。

【0074】

上記のように構成された入力回路10は、Lレベルの電流制御信号S1によって、前記第1機能ブロック11（図1参照）のpMOSTr14がオンされるとき活性状態となる。尚、本実施形態の入力回路10にて、活性状態における動作は、図22に示す従来例の活性状態における動作と同様であるため、ここでは詳細な説明を省略する。

【0075】

次に、入力回路10が活性状態から待機状態に切り替えられる時の動作について説明する。

入力回路10は、Hレベルの電流制御信号S1によって、前記pMOSTr14がオフされるとき待機状態となる（すなわちpMOSTr14に流れる電流値が「0」となるように制御される）。

【0076】

図3は、活性／待機状態の切り替え時を示す動作波形図である。

ここでは、例えば、第1電源V1が2.5V、第2電源V2が0.0V、第3電源V3が1.2V、第4電源V4が0.0V、第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルが2.2V／1.8Vである場合を想定する。

【0077】

今、時刻t1で、電流制御信号S1がLレベルからHレベルに切り替わり、そ

れを受けて pMOSTr14 がオフされ、待機状態に移行する。

その際、第1の差動増幅回路15の出力電圧レベル (pMOSTr22とnMOSTr24の接続点の電圧) は、nMOSTr24及び第1の電流源であるnMOSTr25を介して接地電位に放電される。よって、第2機能ブロック入力信号IN2の電圧レベルは、第2電源V2 (0.0V) 付近まで速やかに引き下げられる。

【0078】

従って、レベルシフト回路16のnMOSTr26は直ちにオフされ、同レベルシフト回路16の出力電圧レベル (nMOSTr26, 27の接続点の電圧) は、第2の電流源であるnMOSTr27を介して接地電位に放電される。よって、第3機能ブロック入力信号IN3の電圧レベルは、第2電源V2 (0.0V) 付近まで速やかに引き下げられる。

【0079】

このため、待機状態への切り替え時に、第2の差動増幅回路17にトランジスタのゲート耐圧を超える電圧が供給されることは確実に防止される。つまり、第2の差動増幅回路17に、第3電源V3 (1.2V) を超える高電圧の第1電源V1 (2.5V) は印加されない。

【0080】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 待機状態への切り替え時、第1の差動増幅回路15の出力電圧レベルは第1の電流源であるnMOSTr25を介して接地電位に放電され、レベルシフト回路16のnMOSTr26は直ちにオフされる。レベルシフト回路16の出力電圧レベルは第2の電流源であるnMOSTr27を介して接地電位に放電される。よって、第3機能ブロック入力信号IN3の電圧レベルは第2電源V2 (0.0V) 付近まで速やかに引き下げられ、第2の差動増幅回路17に素子耐圧を超える高電圧の第1電源V1が印加されることは防止される。従って、信頼性の高い入力回路10を提供することができる。

【0081】

(2) 本実施形態では、第1の差動増幅回路15のnMOSTr25 (第1の

電流源) のゲート、レベルシフト回路 16 の nMOS Tr 26 (第 2 の電流源) のゲートはそれぞれ第 1 電源 V1 と接続される。従って、待機状態において、各電流源は遮断されない (nMOS Tr 25, 26 はオフされない)。その結果、第 1 及び第 2 機能ブロック 11, 12 の出力端子 (第 1 の差動増幅回路 15 及びレベルシフト回路 16 の出力端子) がハイインピーダンス状態 (フローティング状態ともいう) になることは回避される。

【0082】

(3) 本実施形態では、活性状態/待機状態、或いはその切り替え時の如何なる場合であっても、第 2 の差動増幅回路 17 にゲート耐圧を超える高電圧が供給されることを確実に防止することができる。

【0083】

(4) 本実施形態では、待機状態への切り替え時に、第 2 の差動増幅回路 17 に高電圧が印加されないようにするためのタイミング設計は当然ながら不要である。換言すれば、第 1 機能ブロック 11 に設けられた pMOS Tr 14 をオフすることによって、直ちに待機状態に切り替えることができる。従って、待機状態への切り替えを高速に行うことが可能となるとともに、その後、再び活性状態に復帰する際の切り替えも高速に行うことが可能となる。

【0084】

(5) 本実施形態では、第 1 機能ブロック 11 に設けられた pMOS Tr 14 をオフすることによって、待機状態には、第 1 及び第 2 機能ブロック 11, 12 で消費される電流を削減することができる。従って、待機状態における入力回路 10 の消費電流を削減し、低消費電力化を実現することができる。

【0085】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図 4 に従って説明する。

図 4 は、第二実施形態の入力回路 30 の構成を示す回路図である。

【0086】

この入力回路 30 は、上述した第一実施形態の入力回路 10 の第 1 及び第 2 機能ブロック 11, 12 (図 1 参照) の構成を変更したものである。尚、第一実施

形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0087】

前記第1機能ブロック11には、前記pMOSTr14（第1の電流制御手段）と第1の差動増幅回路31とが備えられている。第1の差動増幅回路31は、第一実施形態に示す第1の差動増幅回路15の第1の負荷回路の構成（図2参照）を、カレントミラー回路を形成するpMOSTr21, 22から、各ゲートが互いのドレインに接続されたpMOSTr32, 33に変更したものである。

【0088】

そして、第1の差動増幅回路31は、第1及び第2入力信号INA, INBの電位差を増幅して、互いに相補な信号となるpMOSTr33とnMOSTr24の接続点の電圧、pMOSTr32とnMOSTr23の接続点の電圧をそれぞれ出力する。

【0089】

前記第2機能ブロック12には、第2の電流制御手段としてのpMOSTr34a, 34bとレベルシフト回路35とが備えられている。このレベルシフト回路35は、第1の差動増幅回路31の出力電圧（第2機能ブロック入力信号IN2）がゲートに供給されるnMOSTr36a, 36b（レベルシフト用トランジスタ）と、第1電源V1がゲートに供給されるnMOSTr37a, 37b（第2の電流源）とから構成されている。

【0090】

詳述すると、前記nMOSTr36aのゲートには、第1の差動増幅回路31の一方の出力であるpMOSTr33とnMOSTr24の接続点の電圧が入力される。また、前記nMOSTr36bのゲートには、第1の差動増幅回路31の他方の出力であるpMOSTr32とnMOSTr23の接続点の電圧が入力される。

【0091】

このように構成された入力回路30では、第2の差動増幅回路17に差動入力される第3機能ブロック入力信号IN3が互いに相補な信号として与えられる。

そして、入力回路30は、電流制御信号S1によって各pMOSTr14, 3

4 a, 34 b がオンされるとき活性状態となり、反対にオフされるとき待機状態となる。活性状態においては、前記と同様、レベルシフト回路 35 は、第 3 電源 V3 に適応する電圧レベルにシフトして生成した第 3 機能ブロック入力信号 IN3 を第 2 の差動増幅回路 17 に供給する。

【0092】

また、活性状態から待機状態への切り替え時において、レベルシフト回路 35 の出力電圧レベル (nMOS Tr 36 a, 37 a の接続点の電圧、nMOS Tr 36 b, 37 b の接続点の電圧) は、nMOS Tr 37 a, 37 b を介して第 2 電源 V2 (接地電位; 0.0 V) に放電される。よって、前記と同様、待機状態への切り替え時において、第 3 機能ブロック入力信号 IN3 は第 2 電源 V2 (接地電位) 付近まで速やかに引き下げられる (図 3 参照)。

【0093】

従って、第一実施形態と同様な効果を奏する。加えて、本実施形態では、第 2 機能ブロック 12 に pMOS Tr 34 a, 34 b (第 2 の電流制御手段) を設けたことによって、待機状態では、同ブロック 12 内の漏れ電流成分をさらに削減して更なる低消費電力化を図ることができる。

【0094】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図 5 に従って説明する。

図 5 は、第三実施形態の入力回路 40 の構成を示す回路図である。

【0095】

この入力回路 40 は、上述した第一実施形態の入力回路 10 の第 1 及び第 2 機能ブロック 11, 12 (図 1 参照) の構成を変更したものである。尚、第一実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0096】

前記第 1 機能ブロック 11 には、前記 pMOS Tr 14 (第 1 の電流制御手段) と第 1 の差動増幅回路 41 とが備えられている。第 1 の差動増幅回路 41 は、第一実施形態に示す第 1 の差動増幅回路 15 の第 1 の負荷回路の構成 (図 2 参照) を、カレントミラー回路を形成する pMOS Tr 21, 22 から、各ゲートに

閾値以下の電圧である第2電源V2が供給されるpMOSTr42, 43に変更したものである。

【0097】

前記第2機能ブロック12には、レベルシフト回路44が備えられている。レベルシフト回路44は、前記nMOSTr26, 27と、それらのトランジスタの間に接続される第2の負荷回路としてのnMOSTr45とから構成されている。nMOSTr45は、ダイオード接続した構成である。

【0098】

詳述すると、nMOSTr45は、レベルシフト量を調整するトランジスタとして機能し、レベルシフト回路44の出力電圧レベルを同nMOSTr45の閾値電圧分降下させる。よって、本実施形態では、第3機能ブロック入力信号IN3の電圧レベルを第一及び第二実施形態に比べてより低レベル側（第2電源V2側）にシフトさせることができる。

【0099】

ちなみに、上記のようにレベルシフト量を調整する他の方法として、nMOSTr26（レベルシフト用トランジスタ）のオン抵抗を大きく設定する方法が考えられるが、この方法は、レベルシフト回路44の動作速度を低下させることになり、高速化に適さない。

【0100】

従って、本実施形態では、上記第一実施形態で奏する効果に加え、活性状態においては、動作速度を低下させることなく、第2の差動増幅回路17（第3機能ブロック13）に第3電源V3を超える高電圧が印加されることを確実に防止することができる。

【0101】

（第四実施形態）

以下、本発明を具体化した第四実施形態を図6に従って説明する。

図6は、第四実施形態の入力回路50の構成を示す回路図である。

【0102】

この入力回路50は、上述した各実施形態の構成を一部組み合わせて構成され

ている。尚、各実施形態とそれぞれ同様な構成部分には同一符号を付して詳細な説明を省略する。

【0103】

前記第1機能ブロック11には、前記pMOSTr14（第1の電流制御手段）と第1の差動増幅回路51とが備えられている。

第1の差動増幅回路51は、第1及び第2入力信号INA、INBの電位差を増幅して、互いに相補な信号となるpMOSTr22とnMOSTr24の接続点の電圧、pMOSTr21とnMOSTr23の接続点の電圧をそれぞれ出力する。

【0104】

前記第2機能ブロック12には、前記pMOSTr34a、34b（第2の電流制御手段）とレベルシフト回路52とが備えられている。

レベルシフト回路52は、第二実施形態に示すレベルシフト回路35（図4参照）に、第三実施形態と同様なレベルシフト量を調整する第2の負荷回路としてのnMOSTr45a、45b（ダイオード接続したトランジスタ）を追加した構成である。

【0105】

そして、この入力回路50では、第二実施形態と同様に、第2の差動増幅回路17に差動入力される第3機能ブロック入力信号IN3が互いに相補な信号として与えられる。このように構成された入力回路50では、上記各実施形態でそれぞれ奏する効果を得ることができる。

【0106】

（第五実施形態）

以下、本発明を具体化した第五実施形態を図7及び図8に従って説明する。

図7は、第五実施形態の入力回路60の構成を示す回路図である。

【0107】

この入力回路60は、上述した第一実施形態の入力回路10の第1及び第2機能ブロック11、12（図1参照）の構成を変更したものである。尚、第一実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0108】

前記第1機能ブロック11には、前記pMOSTr14（第1の電流制御手段）と第1の差動増幅回路61と第3の電流制御手段としてのnMOSTr62a、62bとが備えられている。

【0109】

第1の差動増幅回路61は、第一実施形態に示す第1の差動増幅回路15の第1の負荷回路の構成（図2参照）を、カレントミラー回路を形成するpMOSTr21、22から、抵抗素子63、64に変更したものである。第1の差動増幅回路61は、第1及び第2入力信号INA、INBの電位差を増幅して互いに相補な信号をそれぞれ出力する。

【0110】

前記nMOSTr62a、62b（第3の電流制御手段）のソースはそれぞれ第2電源V2に接続され、ゲートにはそれぞれ前記電流制御信号S1が入力される。

【0111】

そして、nMOSTr62aのドレインは前記第1の差動増幅回路61の一方の出力端である抵抗素子64とnMOSTr24の接続点と接続され、nMOSTr62bのドレインは前記第1の差動増幅回路61の他方の出力端である抵抗素子63とnMOSTr23の接続点と接続されている。

【0112】

前記第2機能ブロック12には、上記第二実施形態に示すレベルシフト回路35（図4参照）が備えられている。すなわち、レベルシフト回路35を構成するnMOSTr36a、36bには、前記第1の差動増幅回路61から出力される相補信号がそれぞれ入力される。

【0113】

図8は、上記のように構成された入力回路60の活性／待機状態の切り替え時を示す動作波形図である。

ここでは、第1～第4電源V1～V4の電圧値及び第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルを図3と同様とし、第1機能ブロック入力

信号 IN1 の供給が待機状態に移行する際に停止される（信号電圧レベルが L レベル（第 2 電源 V2 ; 0.0 V）になる）場合を想定する。

【0114】

今、第 1 機能ブロック入力信号 IN1 が L レベル（0.0 V）になる。すなわち、第 1 及び第 2 入力信号 INA, INB が L レベルになり、それを受ける第 1 の差動増幅回路 61 の nMOSTr23, 24 はそれぞれオフされる。

【0115】

次に、時刻 t1 で電流制御信号 S1 が L レベルから H レベルに切り替わり、それを受けて pMOSTr14 がオフされ、待機状態に移行する。また、この時、H レベルの電流制御信号 S1 によって、nMOSTr62a, 62b はオンされる。

【0116】

待機状態に移行すると、第 1 の差動増幅回路 61 の出力電圧レベル（抵抗素子 64 と nMOSTr24 の接続点の電圧、抵抗素子 63 と nMOSTr23 の接続点の電圧）は、第 3 の電流制御手段である nMOSTr62a, 62b を介して接地電位に放電される。よって、第 2 機能ブロック入力信号 IN2 の電圧レベルは第 2 電源 V2（0.0 V）付近まで速やかに引き下げられる。

【0117】

従って、nMOSTr36a, 36b は直ちにオフされ、レベルシフト回路 35 の出力電圧レベル（nMOSTr36a, 37a の接続点の電圧、nMOSTr36b, 37b の接続点の電圧）は、nMOSTr37a, 37b を介して接地電位に放電される。よって、第 3 機能ブロック入力信号 IN3 の電圧レベルは第 2 電源 V2（0.0 V）付近まで速やかに引き下げられる。

【0118】

上記のように、本実施形態では、待機状態への切り替え時、第 1 機能ブロック入力信号 IN1（外部入力信号）の供給が停止される場合において、nMOSTr23, 24 がオフされることにより第 2 機能ブロック入力信号 IN2 の電圧レベルが一時的に高電圧になることが防止される。

【0119】

従って、本実施形態の構成によれば、第1機能ブロック入力信号IN1の電圧レベルに依らず、待機状態への切り替え時に第3機能ブロック入力信号IN3の電圧レベルが一時的に高電圧になることが防止され、第2の差動増幅回路17にゲート耐圧を超える電圧が印加されることが確実に防止される。

【0120】

尚、本実施形態では、第1の差動増幅回路61に設けられるnMOSTr25のゲートに、第1電源V1に代えて電流制御信号S1の逆相信号を供給してもよい。すなわち、第1機能ブロック入力信号IN1（外部入力信号）の供給が停止される場合にあっては、待機状態への切り替え時にpMOSTr14（第1の電流制御手段）とともにnMOSTr25（第1の電流源）をオフさせるようにしてもよい。

【0121】

（第六実施形態）

以下、本発明を具体化した第六実施形態を図9及び図10に従って説明する。

図9は、第六実施形態の入力回路70の構成を示す回路図である。

【0122】

この入力回路70は、上述した第一実施形態の入力回路10の第1機能ブロック11（図1参照）の構成を変更したものである。尚、第一各実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0123】

前記第1機能ブロック11には、前記pMOSTr14（第1の電流制御手段）と第1の差動増幅回路71とが備えられている。

本実施形態では、第1の差動増幅回路71は、第1及び第2入力信号INA、INBを受けるトランジスタがpMOSTr72、73で構成され、カレントミラー回路を形成するトランジスタがnMOSTr74、75で構成されている。そして、第1の差動増幅回路71に備えられる第1の電流源が前記pMOSTr14によって共有されている。ちなみに、このように構成される第1の差動増幅回路71は、接地電位付近の入力信号レベルを増幅する場合に適している。

【0124】

図10は、本実施形態の入力回路70の活性／待機状態の切り替え時を示す動作波形図である。

ここでは、第1～第4電源V1～V4の電圧値を図3と同様とし、第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルが1.3V／0.9Vである場合を想定する。

【0125】

同図に示すように、第一実施形態と同様、待機状態への切り替え時には、第2及び第3機能ブロック入力信号IN2，IN3の電圧レベルを第2電源V2（0.0V）付近まで速やかに引き下げることができる。

【0126】

従って、第一実施形態と同様の効果を奏する。加えて、本実施形態では、第1及び第2入力信号INA，INBを受けるトランジスタをpMOSTr72，73で構成することで、第1の差動増幅回路71に備えられる第1の電流源をpMOSTr14（第1の電流制御手段）と共有することが可能である。

【0127】

（第七実施形態）

以下、本発明を具体化した第七実施形態を図11～13に従って説明する。

図11は、第七実施形態の入力回路80を示す原理回路図である。

【0128】

尚、本実施形態は、供給電源が負電位の電源である場合について、上述した第一実施形態の入力回路10（図1，図2参照）を導電型の異なるトランジスタによって構成したものである。

【0129】

入力回路80には、第1～第4電源V11～V14が供給される。

ここでは、第2及び第4電源V12，V14が例えば接地電源に設定され、第1及び第3電源V11，V13が負電源に設定される場合を想定する。

【0130】

尚、第1電源V11は外部電源に対応する電源、第3電源V13は内部電源に対応する電源であって、第3電源V13は第1電源V11よりも低電位（この場

合は絶対値)に設定される電源である ($| \text{第1電源} - \text{第2電源} | > | \text{第3電源} - \text{第4電源} |$)。

【0131】

この入力回路80は、第1～第3機能ブロック81～83からなる。第1及び第2機能ブロック81、82は、第1電源V11と第2電源V12の間に接続され、第3機能ブロック83は、第3電源V13と第4電源V14の間に接続されている。

【0132】

第1機能ブロック81には、nMOSTr84 (第1の電流制御手段)と第1の差動増幅回路85とが備えられている。第1の差動増幅回路85は、差動入力される第1機能ブロック入力信号IN1 (外部入力信号)の電位差を増幅して第2機能ブロック入力信号IN2を生成する。

【0133】

第2機能ブロック82には、レベルシフト回路86が備えられている。レベルシフト回路86は、前記第2機能ブロック入力信号IN2の電圧レベルを、内部電源に対応した第3電源V13に適応する電圧レベルにシフトして第3機能ブロック入力信号IN3を生成する。

【0134】

第3機能ブロック83には、第2の差動増幅回路87が備えられている。第2の差動増幅回路87は、差動入力される前記第3機能ブロック入力信号IN3の電位差を増幅して生成した信号を内部回路に供給する。

【0135】

図12は、入力回路80の具体的構成を示す回路図である。

第1の差動増幅回路85は、カレントミラー回路 (第1の負荷回路)を構成するnMOSTr91、92と、各nMOSTr91、92にそれぞれ直列に接続されるpMOSTr93、94と、pMOSTr95 (第1の電流源)とから構成されている。

【0136】

前記nMOSTr84 (第1の電流制御手段)のソースは第1電源V11に接

続され、そのドレインは前記 nMOSTr 91, 92 のソースに接続されている。nMOSTr 84 のゲートには、該 nMOSTr 84 のオン／オフを制御する電流制御信号 S1 が供給される。

【0137】

nMOSTr 91, 92 のゲートは、互いに接続されるとともに、nMOSTr 91 のドレインと接続されている。また、nMOSTr 91, 92 のドレインは、前記 pMOSTr 93, 94 のドレインとそれぞれ接続されている。

【0138】

pMOSTr 93, 94 のソースは前記 pMOSTr 95 のドレインと接続され、該 pMOSTr 95 のソースは第2電源 V12 に接続されている。その pMOSTr 95 のゲートには、該 pMOSTr 95 をオンすることのできる閾値以下の電圧である第1電源 V11 が供給される。

【0139】

そして、pMOSTr 93, 94 のゲートには、第1及び第2入力信号 INA, INB が入力される。尚、第1及び第2入力信号 INA, INB は、本実施形態では互いに相補（逆相）な信号である。

【0140】

このように構成される第1の差動増幅回路 85 は、電流制御信号 S1 によって nMOSTr 84 がオンされるとき、第1及び第2入力信号 INA, INB の電位差を増幅して第2機能ブロック入力信号 IN2 を生成する。

【0141】

レベルシフト回路 86 は、pMOSTr 96（レベルシフト用トランジスタ）と、pMOSTr 97（第2の電流源）とから構成されている。

pMOSTr 96 のドレインは第1電源 V11 に接続され、そのゲートには前記第2機能ブロック入力信号 IN2 が入力される。pMOSTr 96 のソースは pMOSTr 97 のドレインに接続され、該 pMOSTr 97 のソースは第2電源 V12 に接続されている。その pMOSTr 97 のゲートには、該 pMOSTr 97 をオンすることのできる閾値以下の電圧である第1電源 V11 が供給される。

【0142】

このように構成されるレベルシフト回路86は、前記第2機能ブロック入力信号IN2の電圧レベルを第3電源V13と第4電源V14（接地電源）の範囲に分布する電圧レベルにシフトして第3機能ブロック入力信号IN3を生成する。換言すれば、レベルシフト回路86を構成するpMOSTr96, 97は、第2機能ブロック入力信号IN2の電圧レベルを第3電源V13に適応する電圧レベルにシフトすることのできる駆動能力に設計されている。

【0143】

第2の差動増幅回路87は、前記第1の差動増幅回路85と同様に構成され、差動入力される前記第3機能ブロック入力信号IN3の電位差を増幅して内部回路に出力する。尚、本実施形態では、第2の差動増幅回路87のプラス入力端子にレベルシフト回路86の出力信号が入力され、マイナス入力端子にその出力信号の電圧振幅に対し中間電位となる定電圧信号が入力されるようになっている。

【0144】

ここで、上記したように、第2の差動増幅回路87には、第1電源V11よりも低電圧に設定される第3電源V13が供給される。このため、第2の差動増幅回路87は、第1の差動増幅回路85やレベルシフト回路86に比べてそれらを構成するトランジスタのゲート酸化膜が薄く形成されている。

【0145】

すなわち、第2の差動増幅回路87を構成するトランジスタは、第3電源V13の電圧値に対応するゲート酸化膜厚で形成され、それらのゲート耐圧（素子耐圧）は第1の差動増幅回路85やレベルシフト回路86を構成するトランジスタのゲート耐圧に比べて低い。

【0146】

上記のように構成された入力回路80は、Hレベルの電流制御信号S1によって、前記第1機能ブロック81（図11参照）のnMOSTr84がオンされる時活性状態となる。尚、本実施形態の入力回路80にて、活性状態における動作は、従来例の活性状態における動作と同様であるため、ここでは詳細な説明を省略する。

【0147】

次に、入力回路80が活性状態から待機状態に切り替えられる時の動作について説明する。

入力回路80は、Lレベルの電流制御信号S1によって、前記nMOSTr84がオフされるとき待機状態となる（すなわちnMOSTr84に流れる電流値が「0」となるように制御される）。

【0148】

図13は、活性／待機状態の切り替え時を示す動作波形図である。

ここでは、例えば、第1電源V11が-3.3V、第2電源V12が0.0V、第3電源V13が-1.2V、第4電源V14が0.0V、第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルが-2.4V／-2.0Vである場合を想定する。

【0149】

今、時刻t1で、電流制御信号S1がHレベルからLレベルに切り替わり、それを受けてnMOSTr84がオフされ、待機状態に移行する。

その際、第1の差動増幅回路85の出力電圧レベル（nMOSTr92とpMOSTr94の接続点の電圧）は、第1の電流源であるpMOSTr95及びpMOSTr94を介して第2電源V12に充電される。よって、第2機能ブロック入力信号IN2の電圧レベルは、第2電源V12（0.0V）付近まで速やかに引き上げられる。

【0150】

従って、レベルシフト回路86のpMOSTr96は直ちにオフされ、同レベルシフト回路86の出力電圧レベル（pMOSTr96、97の接続点の電圧）は、第2の電流源であるpMOSTr97を介して第2電源V12に充電される。よって、第3機能ブロック入力信号IN3の電圧レベルは、第2電源V12（0.0V）付近まで速やかに引き上げられる。

【0151】

このため、待機状態への切り替え時に、第2の差動増幅回路87にトランジスタのゲート耐圧を超える電圧が供給されることは確実に防止される。つまり、第

2の差動増幅回路87に、第3電源V13(−1.2V)を超える高電圧(この場合は絶対値)の第1電源V11(−3.3V)は印加されない。

【0152】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 待機状態への切り替え時、第1の差動増幅回路85の出力電圧レベルは第1の電流源であるpMOSTr95を介して第2電源V12(接地電位)に充電され、レベルシフト回路86のpMOSTr96は直ちにオフされる。レベルシフト回路86の出力電圧レベルは第2の電流源であるpMOSTr97を介して第2電源V12(接地電位)に充電される。よって、第3機能ブロック入力信号IN3の電圧レベルは第2電源V12付近まで速やかに引き上げられ、第2の差動増幅回路87に素子耐圧を超える高電圧(この場合は絶対値)の第1電源V11が印加されることは防止される。従って、信頼性の高い入力回路80を提供することができる。

【0153】

(2) 本実施形態では、第1の差動増幅回路85のpMOSTr95(第1の電流源)のゲート、レベルシフト回路86のpMOSTr96(第2の電流源)のゲートはそれぞれ第1電源V11と接続される。従って、待機状態において、各電流源は遮断されない(pMOSTr95, 96はオフされない)。その結果、第1及び第2機能ブロック81, 82の出力端子(第1の差動増幅回路85及びレベルシフト回路86の出力端子)がハイインピーダンス状態(フローティング状態ともいう)になることは回避される。

【0154】

(3) 本実施形態では、活性状態／待機状態、或いはその切り替え時の如何なる場合であっても、第2の差動増幅回路87にゲート耐圧を超える高電圧(この場合は絶対値)が供給されることを確実に防止することができる。

【0155】

(4) 本実施形態では、待機状態への切り替え時に、第2の差動増幅回路87に高電圧(絶対値)が印加されないようにするためのタイミング設計は当然ながら不要である。換言すれば、第1機能ブロック81に設けられたnMOSTr8

4 をオフすることによって、直ちに待機状態に切り替えることができる。従って、待機状態への切り替えを高速に行うことが可能となるとともに、その後、再び活性状態に復帰する際の切り替えも高速に行うことが可能となる。

【0156】

(5) 本実施形態では、第1機能ブロック81に設けられたnMOSTr84をオフすることによって、待機状態には、第1及び第2機能ブロック81, 82で消費される電流を削減することができる。従って、待機状態における入力回路80の消費電流を削減し、低消費電力化を実現することができる。

【0157】

(第八実施形態)

以下、本発明を具体化した第八実施形態を図14に従って説明する。

図14は、第八実施形態の入力回路100の構成を示す回路図である。

【0158】

尚、本実施形態は、供給電源が負電位の電源である場合について、上述した第二実施形態の入力回路30（図4参照）を導電型の異なるトランジスタによって構成したものである。尚、第七実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0159】

前記第1機能ブロック81には、前記nMOSTr84（第1の電流制御手段）と第1の差動増幅回路101とが備えられている。第1の差動増幅回路101は、第七実施形態に示す第1の差動増幅回路85の第1の負荷回路の構成（図4参照）を、カレントミラー回路を形成するnMOSTr91, 92から、各ゲートが互いのドレインに接続されたnMOSTr102, 103に変更したものである。

【0160】

そして、第1の差動増幅回路101は、第1及び第2入力信号INA, INBの電位差を増幅して、互いに相補な信号となるnMOSTr103とpMOSTr94の接続点の電圧、nMOSTr102とpMOSTr93の接続点の電圧をそれぞれ出力する。

【0161】

前記第2機能ブロック82には、第2の電流制御手段としてのnMOSTr104a, 104bとレベルシフト回路105とが備えられている。このレベルシフト回路105は、前記第1の差動増幅回路101の出力電圧（第2機能ブロック入力信号IN2）がゲートに供給されるpMOSTr106a, 106b（レベルシフト用トランジスタ）と、第1電源V11がゲートに供給されるpMOSTr107a, 107b（第2の電流源）とから構成される。

【0162】

詳述すると、前記pMOSTr106aのゲートには、第1の差動増幅回路101の一方の出力であるnMOSTr103とpMOSTr94の接続点の電圧が入力される。また、前記pMOSTr106bのゲートには、第1の差動増幅回路101の他方の出力であるnMOSTr102とpMOSTr93の接続点の電圧が入力される。

【0163】

このように構成された入力回路100では、第2の差動増幅回路87に差動入力される第3機能ブロック入力信号IN3が、互いに相補な信号として与えられる。

【0164】

そして、入力回路100は、電流制御信号S1によって各nMOSTr84, 104a, 104bがオンされるとき活性状態となり、反対にオフされるとき待機状態となる。活性状態においては、前記と同様、レベルシフト回路105は、第3電源V13に適応する電圧レベルにシフトして生成した第3機能ブロック入力信号IN3を第2の差動増幅回路87に供給する。

【0165】

また、活性状態から待機状態への切り替え時において、レベルシフト回路105の出力電圧レベル（pMOSTr106a, 107aの接続点の電圧、pMOSTr106b, 107bの接続点の電圧）は、pMOSTr107a, 107bを介して第2電源V12に充電される。よって、前記と同様、待機状態への切り替え時において、第3機能ブロック入力信号IN3は第2電源V12（接地電

位) 付近まで速やかに引き上げられる (図 13 参照)。

【0166】

従って、第七実施形態と同様な効果を奏する。加えて、本実施形態では、第 2 機能ブロック 82 に nMOS Tr 104a, 104b (第 2 の電流制御手段) を設けたことによって、待機状態では、同ブロック 82 内の漏れ電流成分をさらに削減して更なる低消費電力化を図ることができる。

【0167】

(第九実施形態)

以下、本発明を具体化した第九実施形態を図 15 に従って説明する。

図 15 は、第九実施形態の入力回路 110 の構成を示す回路図である。

【0168】

尚、本実施形態は、供給電源が負電位の電源である場合について、上述した第三実施形態の入力回路 40 (図 5 参照) を導電型の異なるトランジスタによって構成したものである。尚、第七実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0169】

前記第 1 機能ブロック 81 には、前記 nMOS Tr 84 (第 1 の電流制御手段) と第 1 の差動増幅回路 111 とが備えられている。

第 1 の差動増幅回路 111 は、第七実施形態に示す第 1 の差動増幅回路 85 の第 1 の負荷回路の構成 (図 12 参照) を、カレントミラー回路を形成する nMOS Tr 91, 92 から、各ゲートに閾値以上の電圧である第 2 電源 V12 が供給される nMOS Tr 112, 113 に変更したものである。

【0170】

前記第 2 機能ブロック 82 には、レベルシフト回路 114 が備えられている。レベルシフト回路 114 は、前記 pMOS Tr 96, 97 と、それらのトランジスタの間に接続される第 2 の負荷回路としての pMOS Tr 115 とから構成されている。pMOS Tr 115 は、ダイオード接続した構成である。

【0171】

詳述すると、pMOS Tr 115 は、レベルシフト量を調整するトランジスタ

として機能し、レベルシフト回路 114 の出力電圧レベルを同 pMOSTr115 の閾値電圧分降下させる。よって、本実施形態では、第 3 機能ブロック入力信号 IN3 の電圧レベルを第七及び第八実施形態に比べてより高レベル側（第 2 電源 V12 側）にシフトさせることができる。

【0172】

ちなみに、上記のようにレベルシフト量を調整する他の方法として、pMOSTr96（レベルシフト用トランジスタ）のオン抵抗を大きく設定する方法が考えられるが、この方法は、レベルシフト回路 114 の動作速度を低下させることになり、高速化に適さない。

【0173】

従って、本実施形態では、上記第七実施形態で奏する効果に加え、活性状態においては、動作速度を低下させることなく、第 2 の差動増幅回路 87（第 3 機能ブロック 83）に第 3 電源 V13 を超える高電圧（この場合は絶対値）が印加されることを確実に防止することができる。

【0174】

（第十実施形態）

以下、本発明を具体化した第十実施形態を図 16 に従って説明する。

図 16 は、第十実施形態の入力回路 120 の構成を示す回路図である。

【0175】

尚、本実施形態は、供給電源が負電位の電源である場合について、上述した第四実施形態の入力回路 50（図 6 参照）を導電型の異なるトランジスタによって構成したものである。尚、上記第七～第九実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0176】

前記第 1 機能ブロック 81 には、前記 nMOSTr84（第 1 の電流制御手段）と第 1 の差動増幅回路 121 とが備えられている。

第 1 の差動増幅回路 121 は、第 1 及び第 2 入力信号 INA, INB の電位差を増幅して、互いに相補な信号となる nMOSTr92 と pMOSTr94 の接続点の電圧、nMOSTr91 と pMOSTr93 の接続点の電圧をそれぞれ出

力する。

【0177】

前記第2機能ブロック82には、前記nMOSTr104a, 104b(第2の電流制御手段)とレベルシフト回路122とが備えられている。レベルシフト回路122は、第八実施形態に示すレベルシフト回路105(図14参照)に、第九実施形態と同様なレベルシフト量を調整する第2の負荷回路としてのpMOSTr115a, 115b(ダイオード接続したトランジスタ)を追加した構成である。

【0178】

そして、この入力回路120では、第八実施形態と同様に、第2の差動増幅回路87に差動入力される第3機能ブロック入力信号IN3が互いに相補な信号として与えられる。このように構成された入力回路120では、上記第七～第九実施形態でそれぞれ奏する効果を得ることができる。

【0179】

(第十一実施形態)

以下、本発明を具体化した第十一実施形態を図17及び図18に従って説明する。

【0180】

図17は、第十一実施形態の入力回路130の構成を示す回路図である。

尚、本実施形態は、供給電源が負電位の電源である場合について、上述した第五実施形態の入力回路60(図7参照)を導電型の異なるトランジスタによって構成したものである。尚、上記第七～第十実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0181】

前記第1機能ブロック81には、前記nMOSTr84(第1の電流制御手段)と第1の差動増幅回路131と第3の電流制御手段としてのpMOSTr132a, 132bとが備えられている。

【0182】

第1の差動増幅回路131は、第七実施形態に示す第1の差動増幅回路85の

第1の負荷回路の構成(図12参照)を、カレントミラー回路を形成するnMOSTr91, 92から、抵抗素子133, 134に変更したものである。第1の差動増幅回路131は、第1及び第2入力信号INA, INBの電位差を増幅して互いに相補な信号をそれぞれ出力する。

【0183】

前記pMOSTr132a, 132b(第3の電流制御手段)のソースはそれぞれ第2電源V12(接地電位)に接続され、ゲートにはそれぞれ前記電流制御信号S1が入力される。

【0184】

そして、pMOSTr132aのドレインは前記第1の差動増幅回路131の一方の出力端である抵抗素子134とpMOSTr94の接続点と接続され、pMOSTr132bのドレインは前記第1の差動増幅回路131の他方の出力端である抵抗素子133とpMOSTr93の接続点と接続されている。

【0185】

前記第2機能ブロック82には、上記第八実施形態に示すレベルシフト回路105(図14参照)が備えられている。すなわち、レベルシフト回路105を構成するpMOSTr106a, 106bには、前記第1の差動増幅回路131から出力される相補信号がそれぞれ入力される。

【0186】

図18は、上記のように構成された入力回路130の活性/待機状態の切り替え時を示す動作波形図である。

ここでは、第1～第4電源V11～V14の電圧値及び第1機能ブロック入力信号IN1(外部入力信号)の電圧レベルを図13と同様とし、第1機能ブロック入力信号IN1の供給が待機状態に移行する際に停止される(信号電圧レベルがHレベル(第2電源V12; 0.0V)になる)場合を想定する。

【0187】

今、第1機能ブロック入力信号IN1がHレベル(0.0V)になる。すなわち、第1及び第2入力信号INA, INBがHレベルになり、それを受ける第1の差動増幅回路131のpMOSTr93, 94はそれぞれオフされる。

【0188】

次に、時刻 t_1 で電流制御信号 S_1 が H レベルから L レベルに切り替わり、それを受けて $nMOSTr_{84}$ がオフされ、待機状態に移行する。また、この時、L レベルの電流制御信号 S_1 によって、 $pMOSTr_{132a}$ 、 $132b$ はオンされる。

【0189】

待機状態に移行すると、第1の差動増幅回路131の出力電圧レベル（抵抗素子134と $pMOSTr_{94}$ の接続点の電圧、抵抗素子133と $pMOSTr_{93}$ の接続点の電圧）は、第3の電流制御手段である $pMOSTr_{132a}$ 、 $132b$ を介して第2電源 V_{12} に充電される。よって、第2機能ブロック入力信号 IN_2 の電圧レベルは第2電源 V_{12} （0.0V）付近まで速やかに引き上げられる。

【0190】

従って、 $pMOSTr_{106a}$ 、 $106b$ は直ちにオフされ、レベルシフト回路105の出力電圧レベル（ $pMOSTr_{106a}$ 、 $107a$ の接続点の電圧、 $pMOSTr_{106b}$ 、 $107b$ の接続点の電圧）は、 $pMOSTr_{107a}$ 、 $107b$ を介して第2電源 V_{12} に充電される。よって、第3機能ブロック入力信号 IN_3 の電圧レベルは第2電源 V_{12} （0.0V）付近まで速やかに引き上げられる。

【0191】

上記のように、本実施形態では、待機状態への切り替え時、第1機能ブロック入力信号 IN_1 （外部入力信号）の供給が停止される場合において、 $pMOSTr_{93}$ 、 94 がオフされることにより第2機能ブロック入力信号 IN_2 の電圧レベルが一時的に高電圧（この場合は絶対値）になることが防止される。

【0192】

従って、本実施形態の構成によれば、第1機能ブロック入力信号 IN_1 の電圧レベルに依らず、待機状態への切り替え時に第3機能ブロック入力信号 IN_3 の電圧レベルが一時的に高電圧（絶対値）になることが防止され、第2の差動増幅回路87にゲート耐圧を超える電圧が印加されることが確実に防止される。

【0193】

尚、本実施形態では、第1の差動増幅回路131に設けられるpMOSTr95のゲートに、第1電源V11に代えて電流制御信号S1の逆相信号を供給してもよい。すなわち、第1機能ブロック入力信号IN1（外部入力信号）の供給が停止される場合にあっては、待機状態への切り替え時にnMOSTr84（第1の電流制御手段）とともにpMOSTr95（第1の電流源）をオフさせるようにしてもよい。

【0194】

（第十二実施形態）

以下、本発明を具体化した第十二実施形態を図19及び図20に従って説明する。

【0195】

図19は、第十二実施形態の入力回路140の構成を示す回路図である。

尚、本実施形態は、供給電源が負電位の電源である場合について、上述した第六実施形態の入力回路70（図9参照）を導電型の異なるトランジスタによって構成したものである。尚、上記第七実施形態と同様な構成部分には同一符号を付して詳細な説明を省略する。

【0196】

前記第1機能ブロック81には、前記nMOSTr84（第1の電流制御手段）と第1の差動増幅回路141とが備えられている。

本実施形態では、第1の差動増幅回路141は、第1及び第2入力信号INA、INBを受けるトランジスタがnMOSTr142、143で構成され、カレントミラー回路を形成するトランジスタがpMOSTr144、145で構成されている。そして、第1の差動増幅回路141に備えられる第1の電流源が前記nMOSTr84によって共有されている。ちなみに、このように構成される第1の差動増幅回路141は、接地電位付近の入力信号レベルを増幅する場合に適している。

【0197】

図20は、本実施形態の入力回路140の活性／待機状態の切り替え時を示す

動作波形図である。

ここでは、第1～第4電源V11～V14の電圧値を図13と同様とし、第1機能ブロック入力信号IN1（外部入力信号）の電圧レベルが接地電位付近の $-1.3\text{V}/-0.9\text{V}$ である場合を想定する。

【0198】

同図に示すように、第七実施形態と同様、待機状態への切り替え時には、第2及び第3機能ブロック入力信号IN2，IN3の電圧レベルを第2電源V12（ 0.0V ）付近まで速やかに引き上げることができる。

【0199】

従って、第七実施形態と同様の効果を奏する。加えて、本実施形態では、第1及び第2入力信号INA，INBを受けるトランジスタをnMOSTr142，143で構成することで、第1の差動増幅回路141に備えられる第1の電流源をnMOSTr84（第1の電流制御手段）と共有することが可能である。

【0200】

尚、上記各実施形態は、以下の態様で実施してもよい。

・各実施形態の構成のみならず、供給電源が正電源の場合にあっては、第一～第六実施形態の構成を適宜組み合わせた構成としてもよい。また、供給電源が負電源の場合にあっては、第七～第十二実施形態の構成を適宜組み合わせた構成としてもよい。

【0201】

上記各実施形態の特徴をまとめると以下ようになる。

（付記1） 第1電源と、絶対値で該第1電源より小さい値の第2電源の供給に基づいて、第1機能ブロック入力信号の電位差を増幅して第2機能ブロック入力信号を生成する第1の差動増幅回路を含む第1機能ブロックと、

前記第1電源と前記第2電源の供給に基づいて、前記第2機能ブロック入力信号の電圧レベルをシフトして第3機能ブロック入力信号を生成するレベルシフト回路を含む第2機能ブロックと、

第3電源と、絶対値で該第3電源より小さい値の第4電源の供給に基づいて、前記第3機能ブロック入力信号の電位差を増幅して出力する第2の差動増幅回路

を含む第3機能ブロックとを備える入力回路であって、

前記第1電源と前記第1の差動増幅回路との間に直列に接続され、活性状態と待機状態とを切り替える第1の電流制御手段と、

前記待機状態への切り替え時に、前記第3機能ブロック入力信号の電圧レベルが前記第3電源と前記第4電源の間の電圧レベルとなるように、前記レベルシフト回路の出力端子の電圧を放電又は充電させる手段とを備えることを特徴とする入力回路。

(付記2) 前記第1電源と前記第2電源の電位差の絶対値は、前記第3電源と前記第4電源の電位差の絶対値よりも大きいことを特徴とする付記1記載の入力回路。

(付記3) 前記第2電源及び前記第4電源はそれぞれ接地電源であり、前記待機状態への切り替え時に、前記レベルシフト回路の出力端子の電圧を前記第2電源に放電又は充電させることを特徴とする付記1又は2記載の入力回路。

(付記4) 前記待機状態への切り替え時に、前記第1の差動増幅回路の出力端子の電圧を前記第2電源に放電又は充電させる手段を備えていることを特徴とする付記3記載の入力回路。

(付記5) 前記第2の差動増幅回路を構成するトランジスタのゲート酸化膜は前記第1の差動増幅回路及び前記レベルシフト回路を構成するトランジスタのゲート酸化膜に比べて薄いことを特徴とする付記1乃至4の何れか一記載の入力回路。

(付記6) 前記第2の差動増幅回路を構成するトランジスタの素子耐圧は前記第1の差動増幅回路及び前記レベルシフト回路を構成するトランジスタの素子耐圧に比べて低いことを特徴とする付記1乃至4の何れか一記載の入力回路。

(付記7) 前記第1の電流制御手段は、

前記待機状態への切り替え時に、前記第1の差動増幅回路への前記第1電源の供給を遮断する電流制御信号がゲートに供給されるトランジスタで構成されることを特徴とする付記1乃至6の何れか一記載の入力回路。

(付記8) 前記第1の差動増幅回路は、

前記第1の電流制御手段と異なる導電型のトランジスタで構成され、ゲートに

前記第 1 機能ブロック入力信号が差動入力される一対のトランジスタと、

前記一対のトランジスタと前記第 1 の電流制御手段との間に接続される第 1 の負荷回路と、

前記一対のトランジスタと同一導電型のトランジスタで構成され、前記一対のトランジスタと前記第 2 電源との間に接続される第 1 の電流源とを備え、

前記第 1 の電流源を構成するトランジスタのゲートには該トランジスタを常時オン状態にする電圧が供給されることを特徴とする付記 1 乃至 7 の何れか一記載の入力回路。

(付記 9) 前記第 1 の差動増幅回路は、

前記第 1 の電流制御手段と同一導電型のトランジスタで構成され、ゲートに前記第 1 機能ブロック入力信号が差動入力される一対のトランジスタと、

前記一対のトランジスタと前記第 2 電源との間に接続される第 1 の負荷回路とを備えることを特徴とする付記 1 乃至 7 の何れか一記載の入力回路。

(付記 10) 前記第 1 の電流制御手段は、前記活性状態では前記第 1 の差動増幅回路の電流源として機能することを特徴とする付記 9 記載の入力回路。

(付記 11) 前記第 1 の負荷回路は、前記一対のトランジスタと異なる導電型の一対のトランジスタからなるカレントミラー回路であることを特徴とする付記 8 乃至 10 の何れか一記載の入力回路。

(付記 12) 前記第 1 の負荷回路は、前記一対のトランジスタと異なる導電型の一対のトランジスタからなり、互いのゲートとドレインとが相互に接続されてなることを特徴とする付記 8 乃至 10 の何れか一記載の入力回路。

(付記 13) 前記第 1 の負荷回路は、前記一対のトランジスタと異なる導電型の一対のトランジスタからなり、互いのゲートには前記第 2 電源が供給されることを特徴とする付記 8 乃至 10 の何れか一記載の入力回路。

(付記 14) 前記第 1 の負荷回路は、前記一対のトランジスタにそれぞれ直列に接続される抵抗素子からなることを特徴とする付記 8 乃至 10 の何れか一記載の入力回路。

(付記 15) 前記レベルシフト回路は、

ドレインが前記第 1 電源に接続され、ゲートに前記第 2 機能ブロック入力信号

が入力されるレベルシフト用トランジスタと、

前記レベルシフト用トランジスタと同一導電型のトランジスタで構成され、前記レベルシフト用トランジスタと前記第 2 電源との間に接続される第 2 の電流源とを備え、

前記第 2 の電流源を構成するトランジスタのゲートには該トランジスタを常時オン状態にする電圧が供給されることを特徴とする付記 1 乃至 14 の何れか一記載の入力回路。

(付記 16) 前記レベルシフト用トランジスタと前記第 1 電源との間には、前記待機状態への切り替え時に、前記レベルシフト回路への前記第 1 電源の供給を遮断する第 2 の電流制御手段が設けられることを特徴とする付記 15 記載の入力回路。

(付記 17) 前記第 2 の電流制御手段は、

前記第 1 の電流制御手段と同一導電型のトランジスタで構成され、ゲートには前記電流制御信号が供給されることを特徴とする付記 16 記載の入力回路。

(付記 18) 前記レベルシフト用トランジスタと前記第 2 の電流源との間には、レベルシフト量を調整する第 2 の負荷回路が設けられることを特徴とする付記 15 乃至 17 の何れか一記載の入力回路。

(付記 19) 前記第 2 の負荷回路は、ダイオード接続したトランジスタで構成されることを特徴とする付記 18 記載の入力回路。

(付記 20) 前記第 1 の差動増幅回路と前記レベルシフト回路の接続点には、前記第 1 機能ブロック入力信号の供給が遮断されるときに、前記第 1 の差動増幅回路の出力端子の電圧を前記第 2 電源に充電又は放電させる第 3 の電流制御手段が接続されることを特徴とする付記 1 乃至 19 の何れか一記載の入力回路。

(付記 21) 前記第 3 の電流制御手段は、

前記第 1 の電流制御手段と異なる導電型のトランジスタで構成され、ドレインが前記第 1 の差動増幅回路の出力端子及び前記レベルシフト用トランジスタのゲートと接続され、ソースが前記第 2 電源に接続され、ゲートには前記電流制御信号が供給されることを特徴とする付記 20 記載の入力回路。

【0202】

【発明の効果】

以上詳述したように、本発明によれば、活性状態／待機状態或いはその切り替え時に素子耐圧を超える高電圧が印加されるのを防止し、且つ、活性状態／待機状態を高速に切り替え可能な入力回路を提供することができる。

【図面の簡単な説明】

- 【図 1】 第一実施形態の入力回路を示す原理回路図である。
- 【図 2】 第一実施形態の入力回路の構成を示す回路図である。
- 【図 3】 第一実施形態の活性／待機状態の切り替え時を示す動作波形図である。
- 【図 4】 第二実施形態の入力回路の構成を示す回路図である。
- 【図 5】 第三実施形態の入力回路の構成を示す回路図である。
- 【図 6】 第四実施形態の入力回路の構成を示す回路図である。
- 【図 7】 第五実施形態の入力回路の構成を示す回路図である。
- 【図 8】 第五実施形態の活性／待機状態の切り替え時を示す動作波形図である。
- 【図 9】 第六実施形態の入力回路の構成を示す回路図である。
- 【図 10】 第六実施形態の活性／待機状態の切り替え時を示す動作波形図である。
- 【図 11】 第七実施形態の入力回路を示す原理回路図である。
- 【図 12】 第七実施形態の入力回路の構成を示す回路図である。
- 【図 13】 第七実施形態の活性／待機状態の切り替え時を示す動作波形図である。
- 【図 14】 第八実施形態の入力回路の構成を示す回路図である。
- 【図 15】 第九実施形態の入力回路の構成を示す回路図である。
- 【図 16】 第十実施形態の入力回路の構成を示す回路図である。
- 【図 17】 第十一実施形態の入力回路の構成を示す回路図である。
- 【図 18】 第十一実施形態の活性／待機状態の切り替え時を示す動作波形図である。
- 【図 19】 第十二実施形態の入力回路の構成を示す回路図である。

【図 20】 第十二実施形態の活性／待機状態の切り替え時を示す動作波形図である。

【図 21】 第 1 の従来例の入力回路を示す回路図である。

【図 22】 入力回路の活性状態を示す動作波形図である。

【図 23】 第 1 の従来例の活性／待機状態の切り替え時を示す動作波形図である。

【図 24】 第 2 の従来例の入力回路を示す回路図である。

【図 25】 第 2 の従来例の活性／待機状態の切り替え時を示す動作波形図である。

【図 26】 第 3 の従来例の入力回路を示す回路図である。

【図 27】 第 3 の従来例の活性／待機状態の切り替え時を示す動作波形図である。

【符号の説明】

S 1 電流制御信号

V 1, V 1 1 第 1 電源

V 2, V 1 2 第 2 電源

V 3, V 1 3 第 3 電源

V 4, V 1 4 第 4 電源

I N 1 第 1 機能ブロック入力信号 (外部入力信号)

I N 2 第 2 機能ブロック入力信号

I N 3 第 3 機能ブロック入力信号

1 0, 3 0, 4 0, 5 0, 6 0, 7 0, 8 0, 1 0 0, 1 1 0, 1 2 0, 1 3 0, 1 4 0 入力回路

1 1, 8 1 第 1 機能ブロック

1 2, 8 2 第 2 機能ブロック

1 3, 8 3 第 3 機能ブロック

1 4, 8 4 第 1 の電流制御手段

1 5, 3 1, 4 1, 5 1, 6 1, 7 1, 8 5, 1 0 1, 1 1 0, 1 2 1, 1 3

1, 1 4 1 第 1 の差動増幅回路

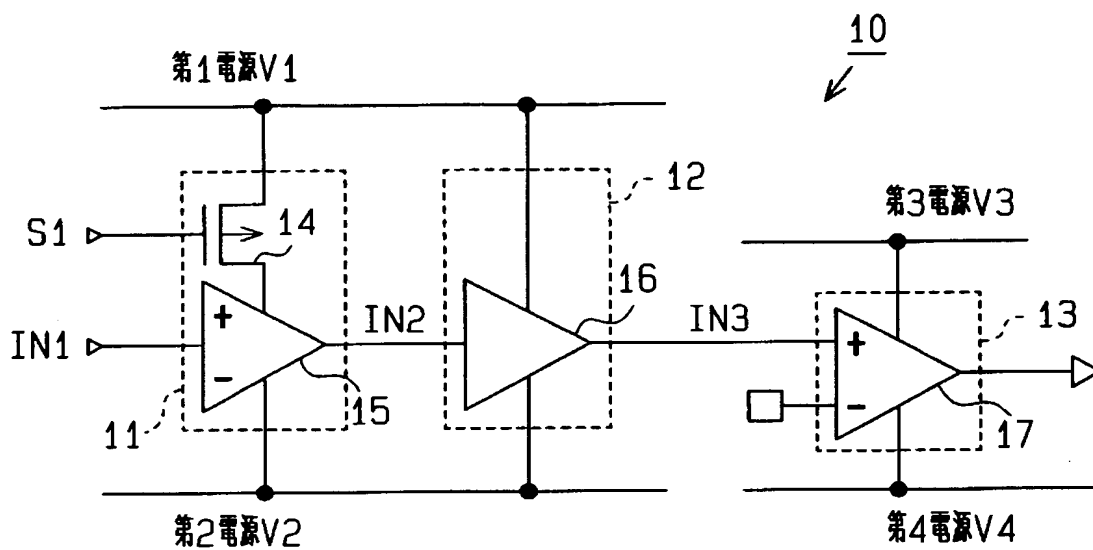
1 6, 3 5, 4 4, 5 2, 8 6, 1 0 5, 1 1 4, 1 2 2 レベルシフト回路

1 7, 8 7 第 2 の差動増幅回路

【書類名】 図面

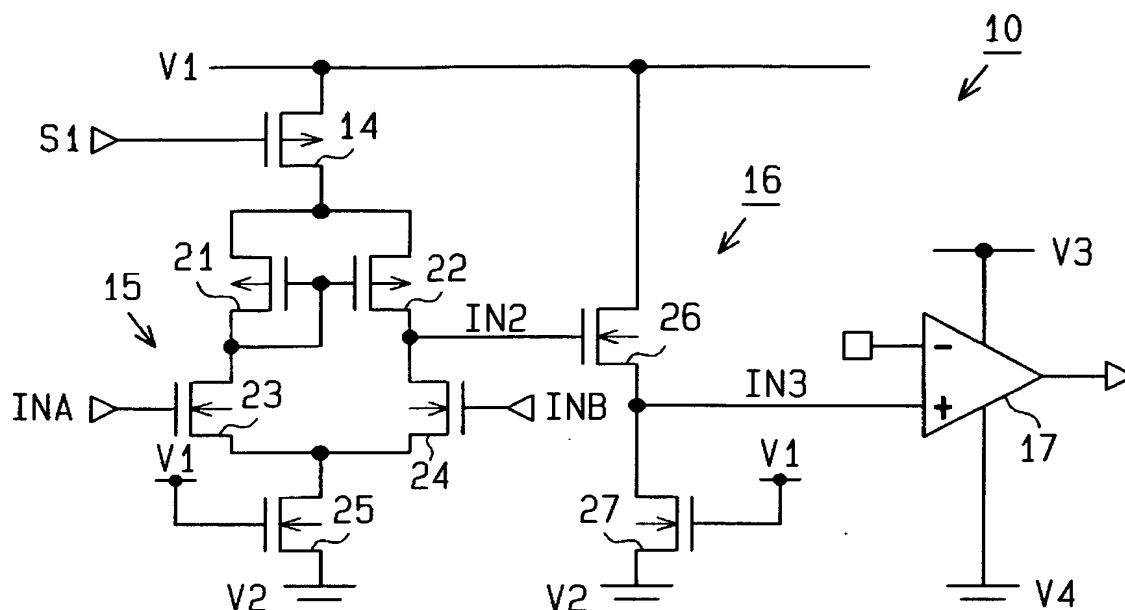
【図 1】

第一実施形態の入力回路を示す原理回路図



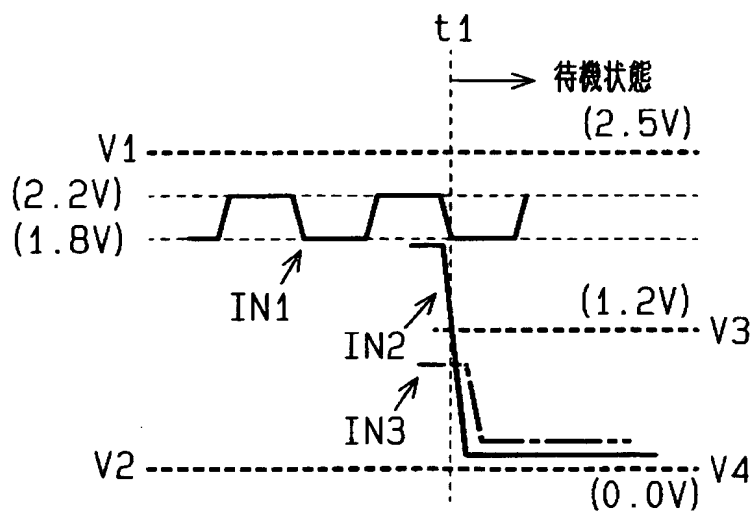
【図 2】

第一実施形態の入力回路の構成を示す回路図



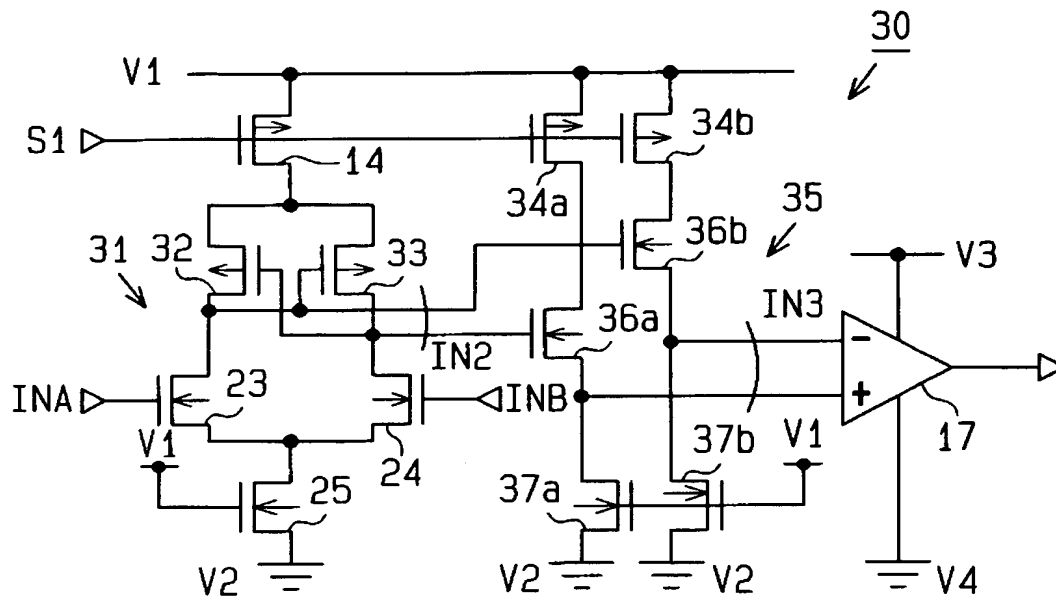
【図 3】

第一実施形態の活性/待機状態の切り替え時を示す動作波形図



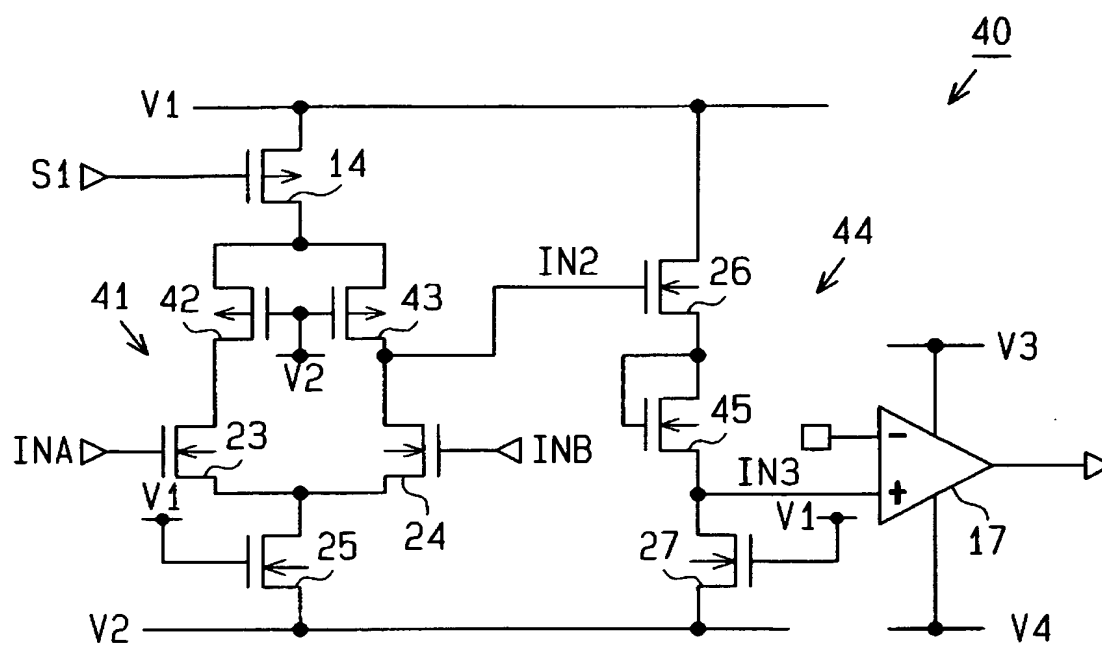
【図 4】

第二実施形態の入力回路の構成を示す回路図



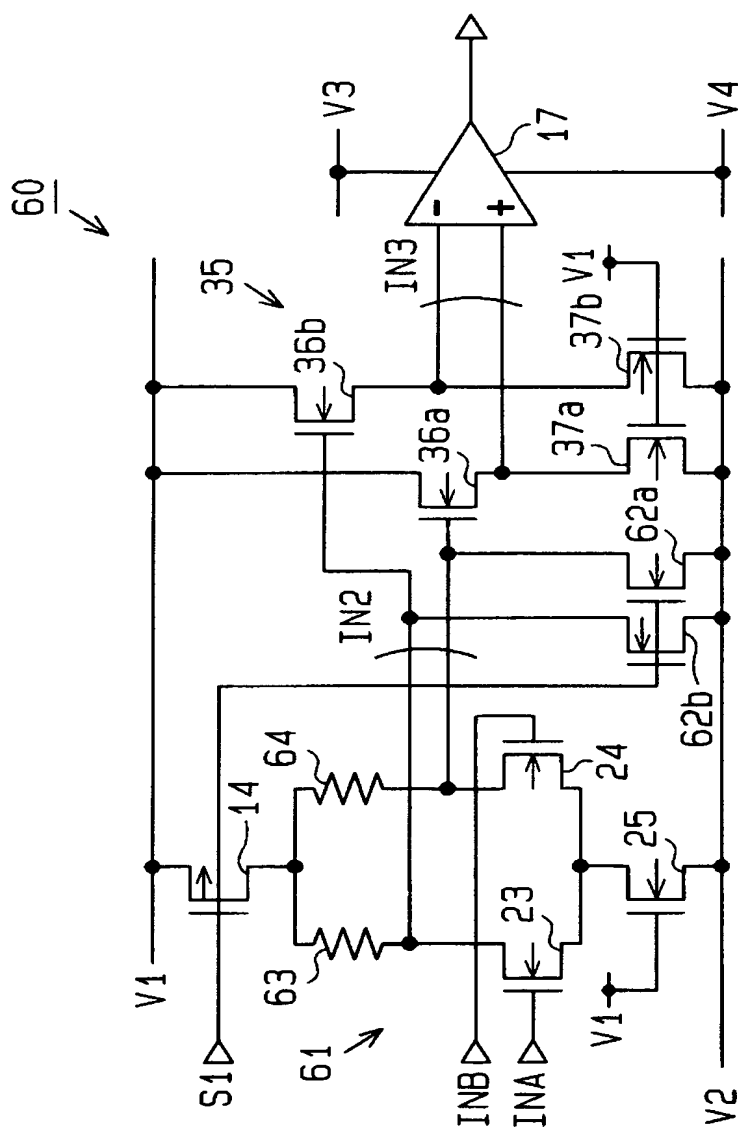
【図 5】

第三実施形態の入力回路の構成を示す回路図



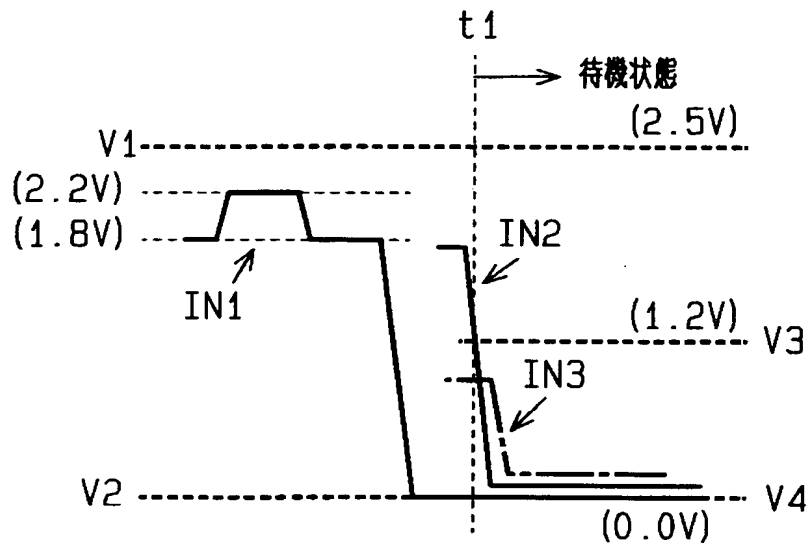
【図 7】

第五実施形態の入力回路の構成を示す回路図



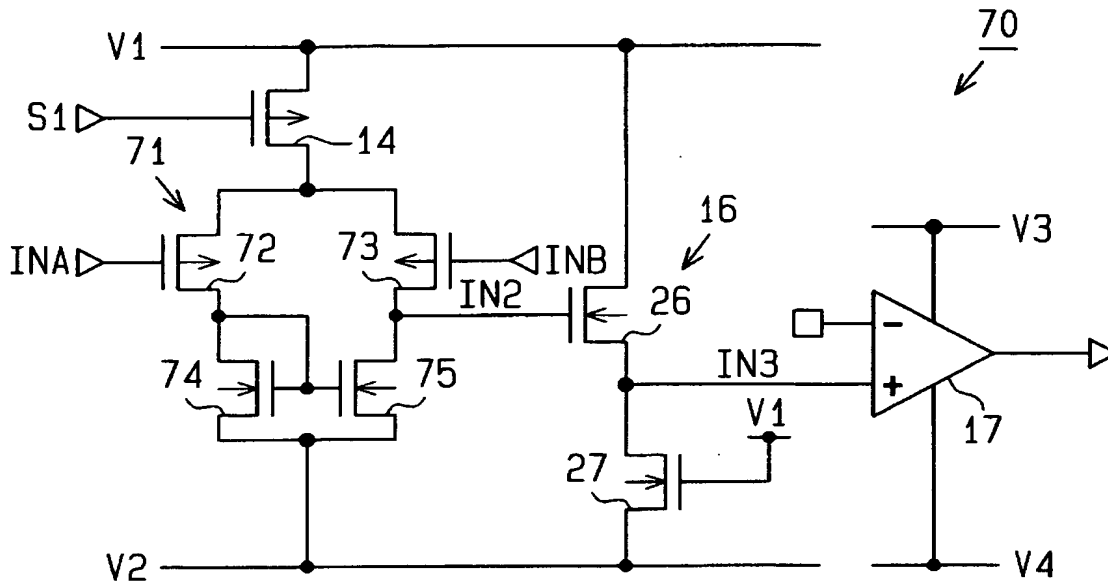
【図 8】

第五実施形態の活性/待機状態の切り替え時を示す動作波形図



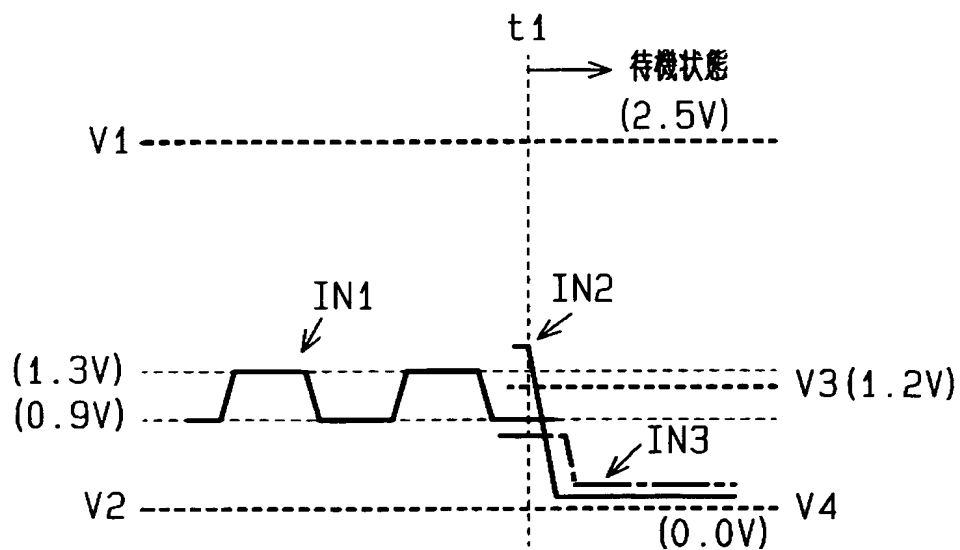
【図 9】

第六実施形態の入力回路の構成を示す回路図



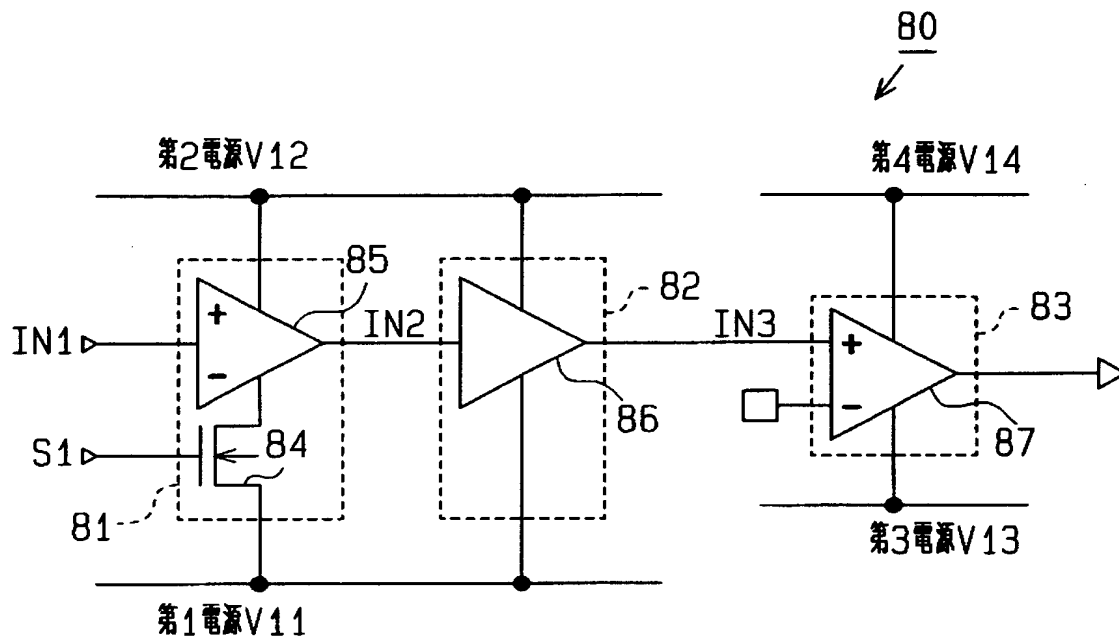
【図 10】

第六実施形態の活性/待機状態の切り替え時を示す動作波形図



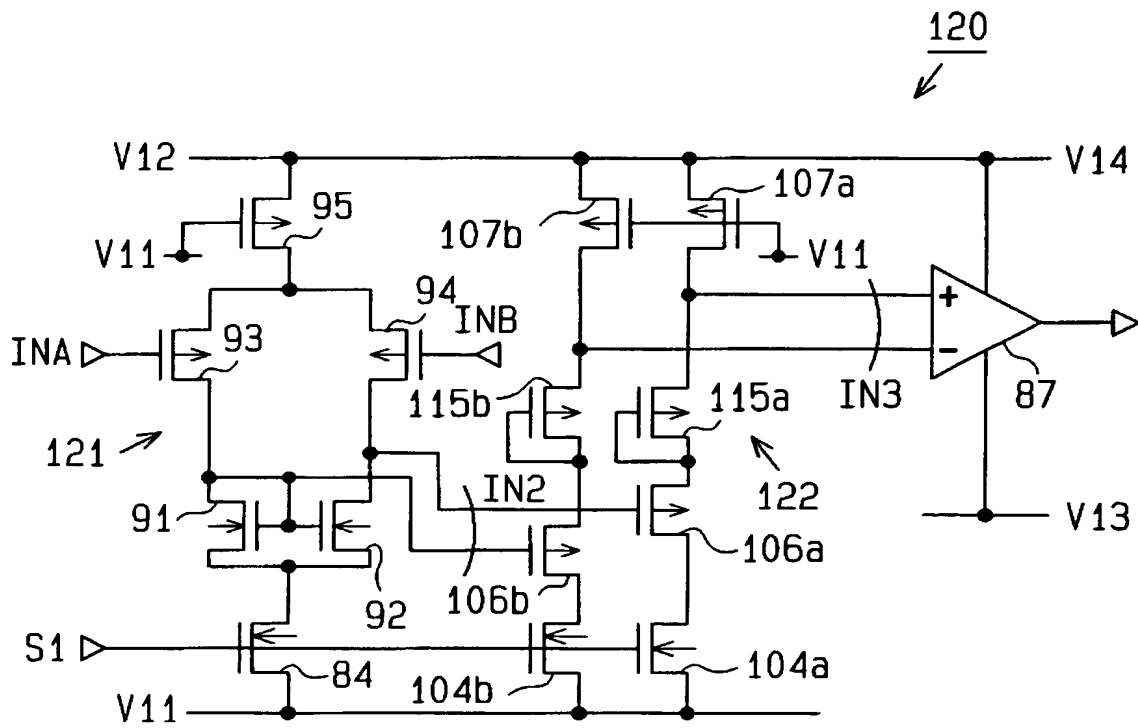
【図 11】

第七実施形態の入力回路を示す原理回路図



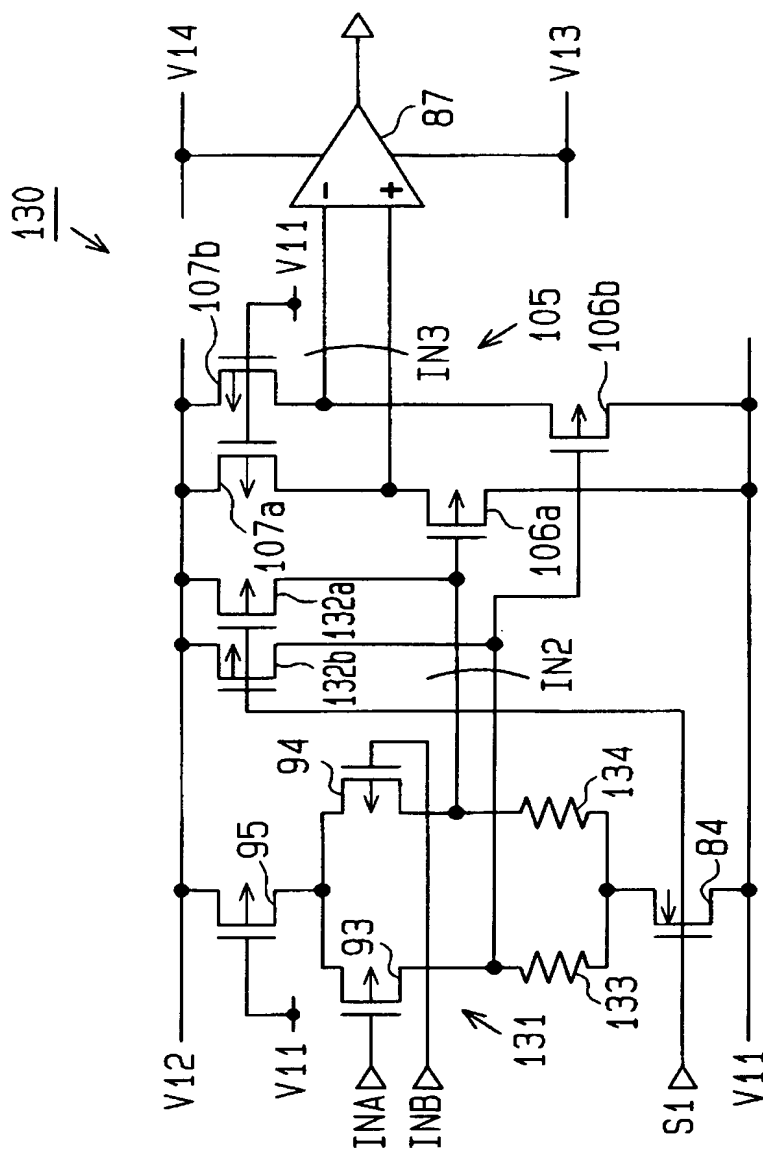
【図 16】

第十実施形態の入力回路の構成を示す回路図



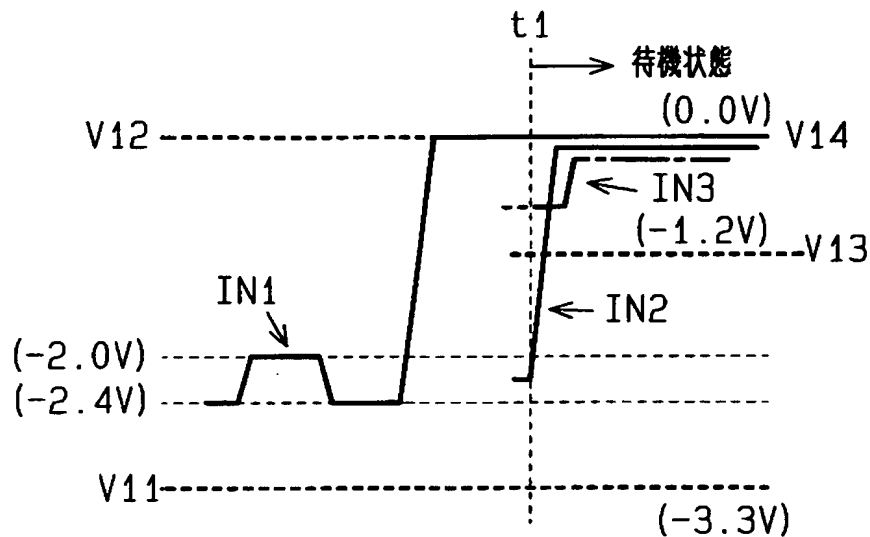
【図 17】

第十一実施形態の入力回路の構成を示す回路図



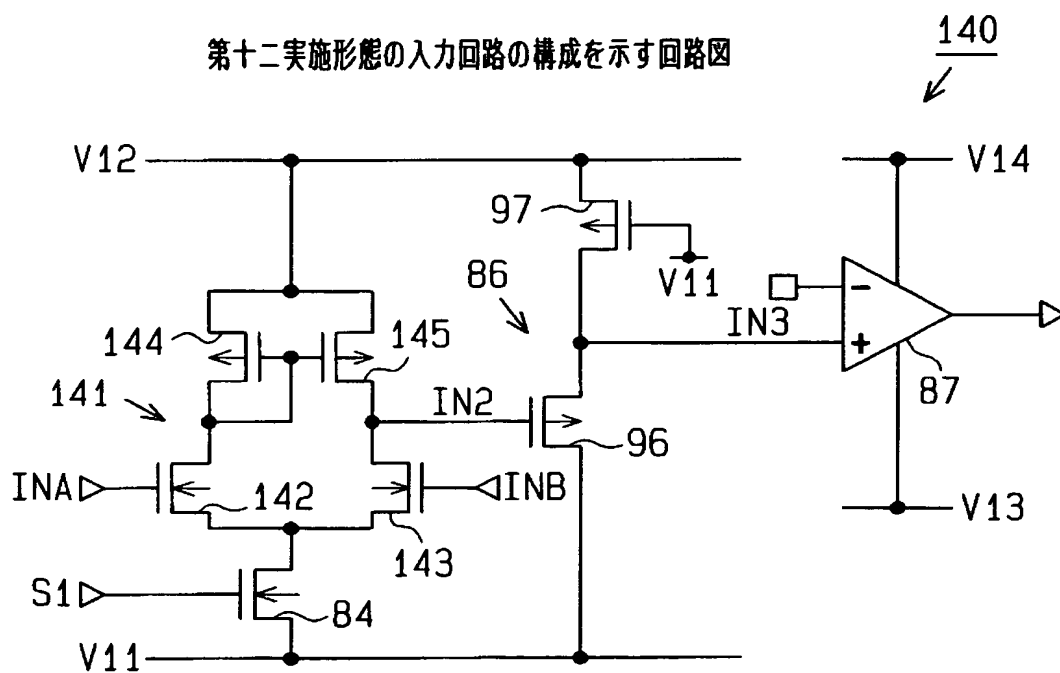
【图 18】

第十一実施形態の活性／待機状態の切り替え時を示す動作波形図



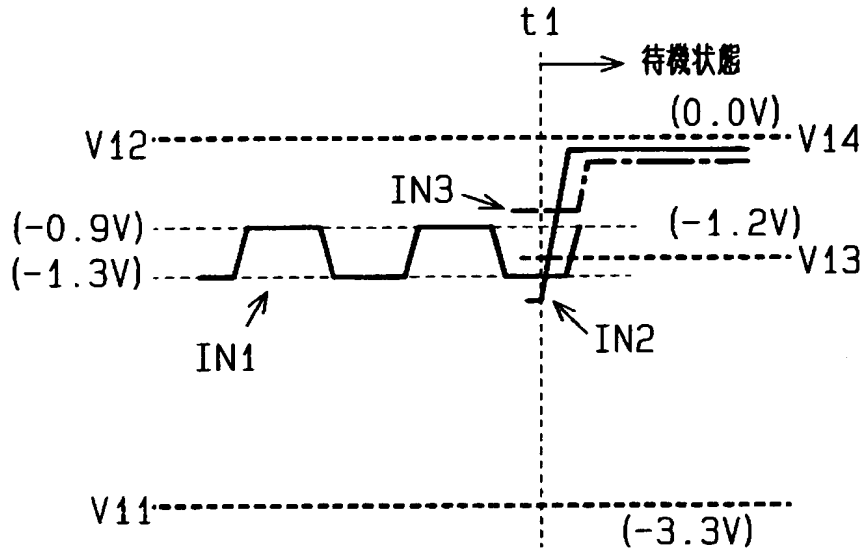
【図 19】

第十二実施形態の入力回路の構成を示す回路図



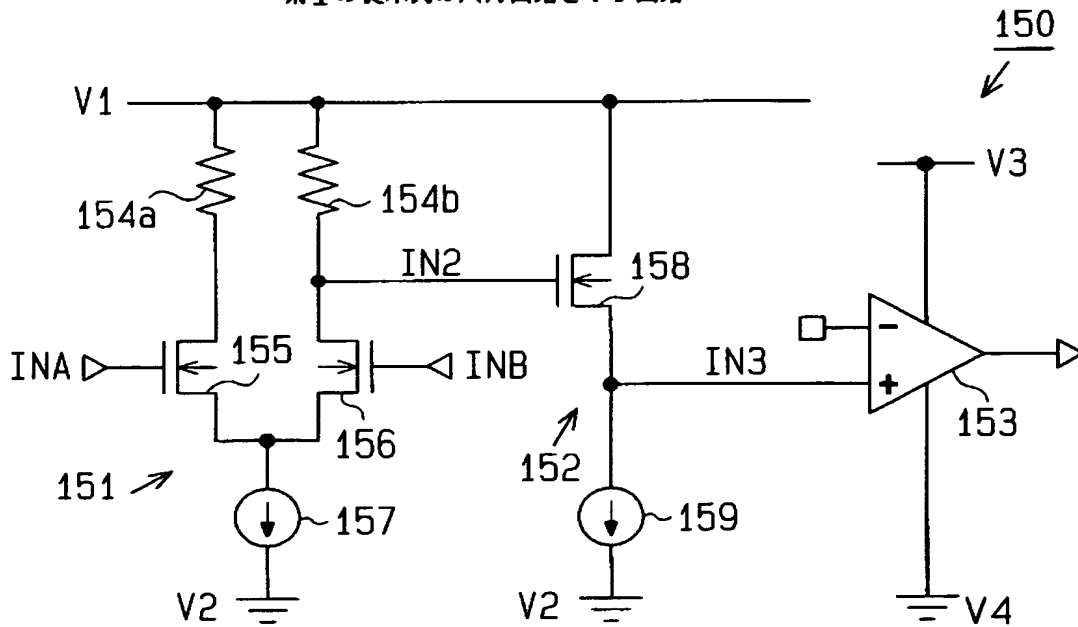
【図 20】

第十二実施形態の活性/待機状態の切り替え時を示す動作波形図



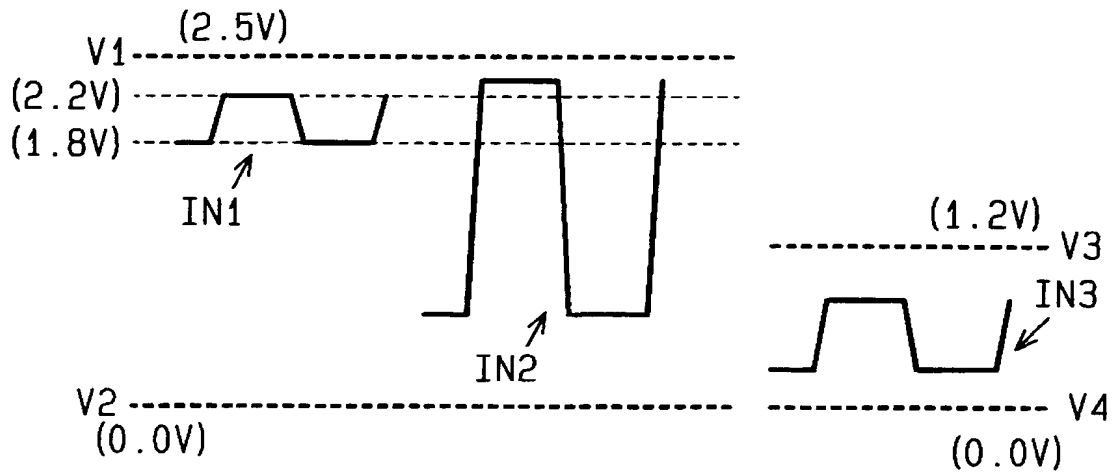
【図 21】

第1の従来例の入力回路を示す回路図



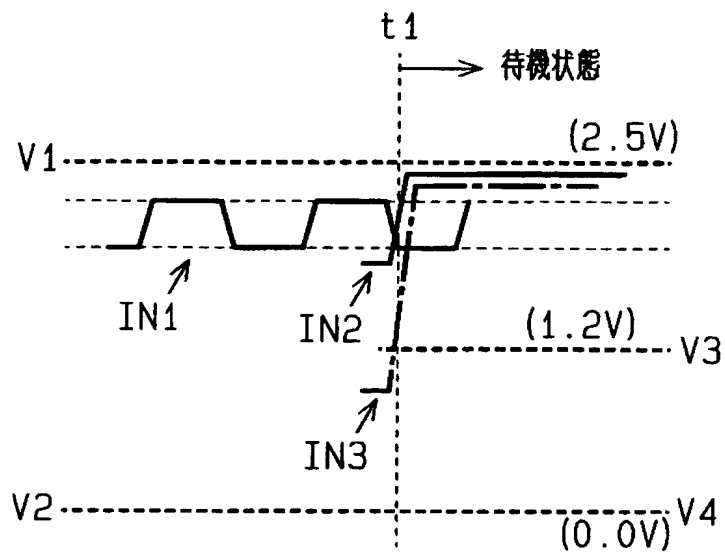
【図 2 2】

入力回路の活性状態を示す動作波形図



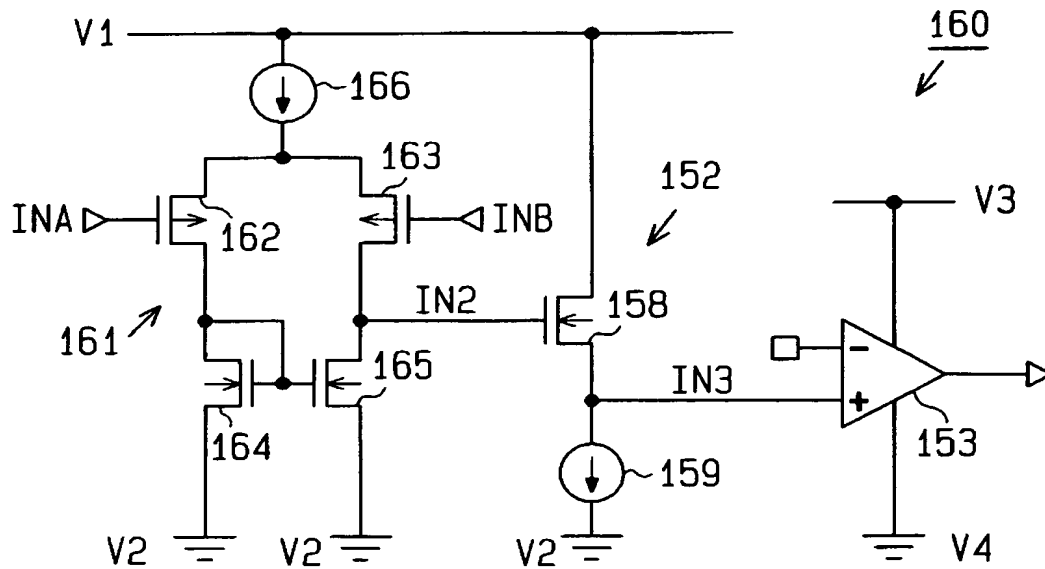
【図 2 3】

第1の従来例の活性/待機状態の切り替え時を示す動作波形図



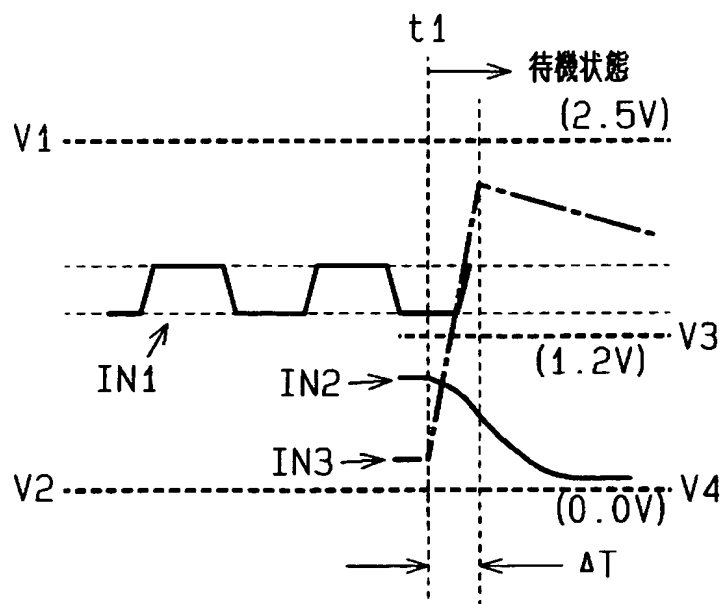
【図 2 4】

第2の従来例の入力回路を示す回路図

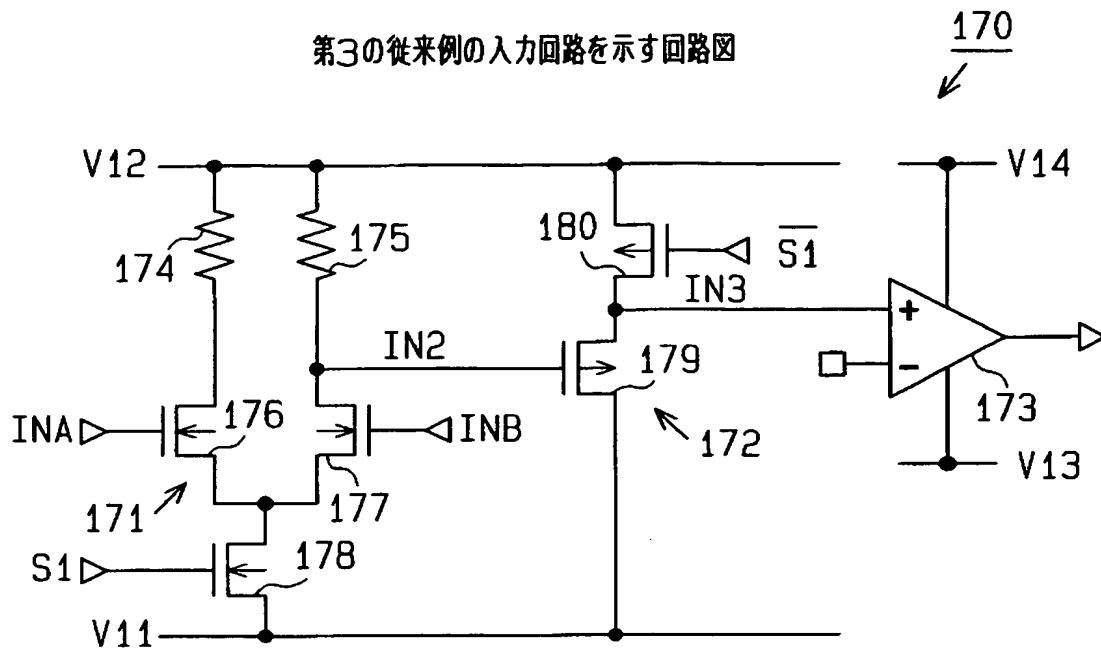


【図 2 5】

第2の従来例の活性/待機状態の切り替え時を示す動作波形図

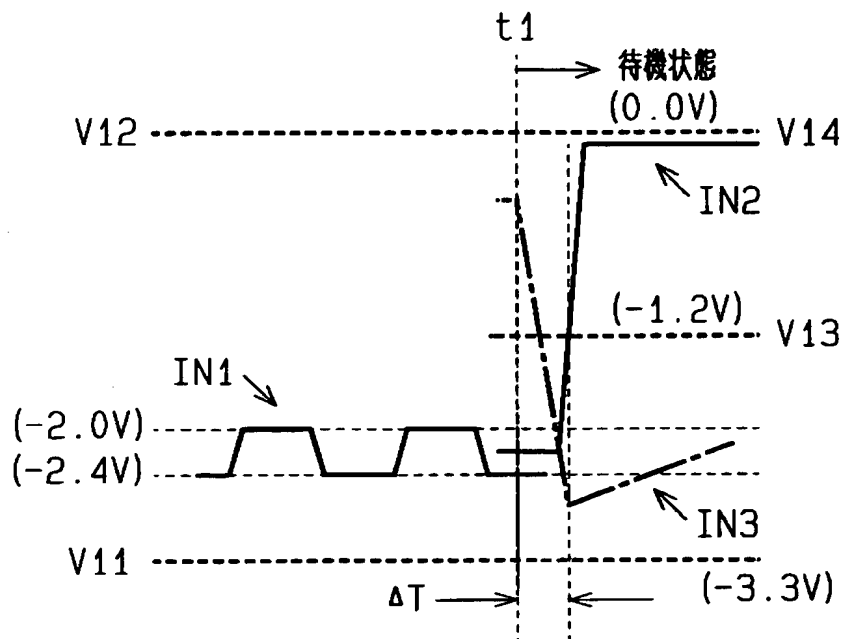


【図 26】



【図 27】

第3の従来例の活性/待機状態の切り替え時を示す動作波形図



【書類名】 要約書

【要約】

【課題】素子耐圧を超える高電圧が印加されるのを防止し、且つ、活性状態／待機状態を高速に切り替え可能な入力回路を提供すること。

【解決手段】 pMOSTr14（第1の電流制御手段）をオフして待機状態に切り替えると、第1の差動増幅回路15の出力電圧レベルはnMOSTr25（第1の電流源）を介して接地電位に放電され、レベルシフト回路16のnMOSTr26はオフされる。レベルシフト回路16の出力電圧レベルはnMOSTr27（第2の電流源）を介して接地電位の第2電源V2に放電される。よって、第3機能ブロック入力信号IN3の電圧レベルは第2電源V2付近まで速やかに引き下げられる。

【選択図】 図2

特願 2 0 0 3 - 0 0 0 5 5 2

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社